

## 低電壓0.13微米互補式金氧半導體電壓控制振盪器與倍頻器

楊清淵<sup>1,\*</sup> 張智翔<sup>2</sup>

### 摘 要

本篇論文描述現實低電壓及高頻率的正交電壓控制振盪及二倍頻電路。在0.5伏特的低電壓操作，可提供8.8到9.2 GHz的可調頻率範圍(4.7%)，電路本身所消耗功率為7.2毫瓦。當二倍頻電路操作在9.1 GHz的頻率時，其相對的相位雜訊在1 MHz 偏移處為-107 dBc/Hz；同時，所對應的正交電壓控制振盪之輸出信號雜訊為-124 dBc/Hz在1 MHz 偏移處。

**關鍵詞：**低電壓、正交壓控振盪器、倍頻器。

## LOW VOLTAGE 0.13- $\mu$ M CMOS VOLTAGE-CONTROLLED OSCILLATOR AND FREQUENCY DOUBLER

Ching-Yuan Yang<sup>1,\*</sup> Chih-Hsiang Chang<sup>2</sup>

### ABSTRACT

The paper addresses the design and realization of a quadrature voltage-controlled oscillator (QVCO) and a frequency doubling regenerator. Operating from a 0.5-V supply, the proposed circuits provide the tuning range of 8.8 to 9.2 GHz and dissipate below 7.2 mW. At 9.1-GHz carried frequency with doubling-frequency operation, the measured phase noise is -107 dBc/Hz at a 1-MHz offset. Simultaneously, the fundamental frequency output by the QVCO provides the phase noise of -124 dBc/Hz at a 1-MHz offset.

**Key Words:** low-voltage, quadrature voltage-controlled oscillator (QVCO), frequency doubler.

---

1 國立中興大學電機工程學系副教授；*Department of Electrical Engineering, National Chung Hsing University, Taichung 402, Taiwan, R.O.C.*

2 國立中興大學電機工程學系博士班研究生

\* Corresponding Author, E-mail: ycy@dragon.nchu.edu.tw

## 一、前言

數十年來科技的進步，使得可攜式產品體積越來越輕薄短小，需要待機時間也越來越長，因而訴求著低功耗低電流消耗一直是晶片設計的工作目標。降低功耗有很多技術，其中工作電壓降低是最直接有用的方法之一，也較符合單電池電壓的產品應用。然而，低電壓相對之下會帶來一些問題，例如會限制輸出訊號的擺幅、限制訊號雜訊比 (signal-to-noise ratio, SNR)，也能因為電壓過低使電晶體工作在非飽和區，影響電路的效能。因此，設計一個低電壓的研究成爲目前極需的電路設計技術，隨著製程技術的進步，工作電壓愈降愈低，電晶體的臨界電壓  $V_t$  (Threshold Voltage) 也隨之降低，但  $V_t$  的降低速度遠不及工作電壓。

壓控振盪器 (Voltage-Control Oscillator, VCO) 與倍頻器爲射頻電路重要的零組件。VCO 經常使用於鎖相迴路 (Phase-Lock Loop, PLL) 技術的頻率合成器，若搭配倍頻電路，輸出頻率範圍則可提升，非常適合高頻應用電路設計。圖1爲以兩級混波升頻/降頻的射頻傳輸架構，其中第一級LO頻率爲  $2\omega_0$  的高頻信號，以及第二級LO頻率爲  $\omega_0$  的正交信號，相位差爲90度。此架構的好處是只需產生一組LO信號源，這樣可簡化各方塊電路上的頻率規劃和電路成本。運用此架構於射頻電路還有其他優於傳統的Homodyne 或 Heterodyne種類之處，可以參考文獻 [1] 的分析和說明。

本篇期刊提出一個操作於0.5V (接近於電晶體臨界電壓)，以0.13- $\mu\text{m}$  CMOS的正交電壓控制振盪及二倍頻電路，結合電感電容振盪器在其基部產生一個二倍頻共振腔電路，這樣可以緩和振盪器因爲電流限制機制，亦可減少電路雜訊，並以輸出

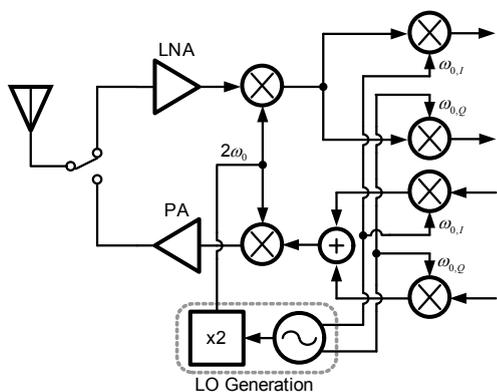


圖1 射頻電路架構

二倍頻放大器爲輸出級電路。以倍頻的方式將頻率提升，這樣的好處可以間接的使得可變頻率範圍也可以提升一倍。而且如此可以產生一組9GHz的輸出訊號，以及4.5GHz的四相位輸出訊號。但相反的是如果直接將VCO設計在9GHz時，在操頻率與可變頻率範圍間的折衷 (trade off)，將會使得成本增加，或者可變頻率範圍減少；而且由於電源電壓僅有0.5V的壓降，如此低壓的電源，會使得電晶體的驅動能力變弱，除非增加電晶體的尺寸，但增加尺寸會使得寄生電容增加，這將會降低操作頻率，因此這樣的限制會使得VCO在9GHz的設計更加的困難，並且讓輸出訊號的強度減弱，近而影響相位雜訊。其他的章節內容如下，第二節是介紹振盪器與倍頻電路的實現與分析，第三節是介紹晶片的實作與量測以及最後爲結論。

## 二、振盪器與倍頻電路

### 2.1 電感電容振盪器與倍頻間的行為模式

傳統上，二倍頻電路可以利用混波器實現，如圖2(a)所示，使用二個輸入端連接在一起的類比式

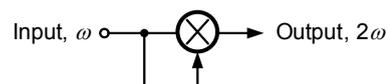


圖2(a) 倍頻效果之類比式混波器

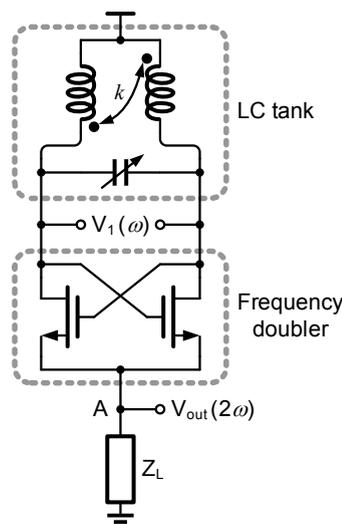


圖2(b) 產生二倍頻之負阻抗電感電容振盪器

乘法將頻率往上混波，實現倍頻的效果 [2]。圖2(b) 為電感電容振盪器，包括電感電容共振器和負電阻主動電路所組成。此負電阻主動元件為源級偶合結構，如同是一個簡單的頻率往上混波器，在源極偶合電晶體中，經由非線性的源極電流以及閘極電壓所產生二階諧波，節點A為電感電容振盪器的二倍頻率，就可達到頻率訊號向上倍頻的效果，並且實現在一個高頻及低消耗功率之電路設計。但是此倍頻訊號的振幅是很小的，而且是沒有增益，因此我們可以使用電感電容注入放大器的技巧於下一級的電路，重新產生適當的輸出準位以及在最大的頻率操作下相對應的振幅大小。

### 2.2 電晶體交叉偶合對的非線性分析

對於倍頻方面的行為模式，在這裡藉由電路系統中的非線性分析，來做一個簡單的描述。在注入電路系統設計中，我們建立了一些考量，對於分析上是很重要的。假設圖2(b)為一個理想的振盪器，其振盪信號為差動正弦波以及共模準位為 $V_{DD}$ ，圖3(a)為其二倍頻輸出示意圖， $x$ 為正弦波。當電路發生振盪， $x$ 的大小通常近於 $V_{DD}$ ，我們觀察電晶體操作，在此弦波的最大值時，其電晶體處於三極區與截止區，此時 $i_A$ 為最大值。當 $x$ 為最小值時，其電晶體均處於飽和區。其輸出特性如圖3(b)所示，可以發現由於 $i_A(x) = i_A(-x)$ ，因此產生出二倍頻現象，還包含了其它偶次階波的非線性高頻信號。由於輸出電路具有帶通特性，其中心頻率約在 $2\omega_0$ 附近，因此可以將非線性的高階波給濾除掉，而保留我們所要的線性二倍頻訊號。這將會在下一節中提到，如何將電感電容振盪器與倍頻電路之間做結合，而產生出我們所要的線性二倍頻訊號 [3][4]。

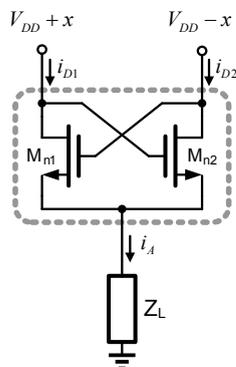


圖3(a) 頻率倍頻

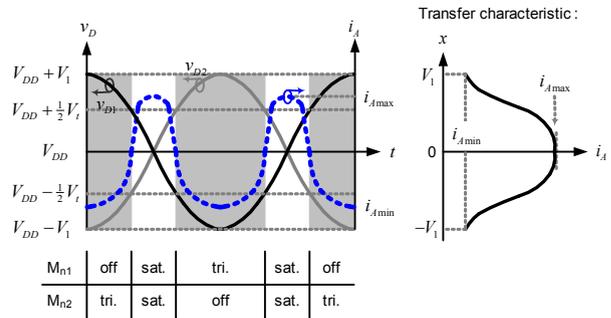


圖3(b) 電晶體的操作區域與二倍頻的輸出振盪波形

### 2.3 基部共振結構之電感電容振盪器

圖4為電感電容振盪器在其基部產生一個 $2\omega_0$ 共振腔電路，這樣可以緩和振盪器因為電流限制機制 (current-limit regime) [3]所造成之影響。此 $2\omega_0$ 共振腔電路可以視為雜訊濾波器，介於振盪器和電流源之間，將振盪器所產生的 $2\omega_0$ 信號對電流源的干擾抑制，使得電流源的輸出穩定。電流源輸出端的電容 $C_1$ 通常選擇大於 $C_2$ 這樣產生在頻率 $2\omega_0$ 處為短路；這樣一來，電流源上的電壓成為定值。另一方面，由於 $v_s$ 電壓信號頻率為 $2\omega_0$ 的自主振盪，過大

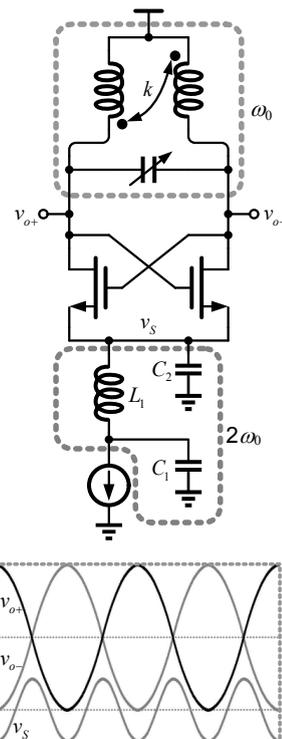


圖4 基部共振結構之電感電容振盪器

則會被電晶體對的源級和基底的pn junction所限制。此基部共振結構之電感電容振盪器尚有在雜訊濾除之優點，這些可以參考文獻 [3]和 [4]的討論。

### 三、電感電容振盪器與倍頻輸出電路

#### 3.1 架構與電路的描述

基本的想法是來自於圖2(b)中，在圖5所示，為一個四相位的電感電容振盪器 (QVCO) 與倍頻電路結合在一起的電路圖。這QVCO被建構在二個完全相同的差動交叉耦合pMOS (M<sub>5</sub>-M<sub>8</sub>) 電感電容振盪器中，並且並聯了一個很小的耦合電晶體 (M<sub>1</sub>-M<sub>4</sub>)，為了讓QVCO能正確的產生有順序的四個相位 [5][6]。除此之外，此電路藉由變壓器 (T<sub>1</sub>'s)，來減少整體電路的頭部空間電位。在pMOS電晶體 (M<sub>5</sub>-M<sub>6</sub>) 的源極端會產生出二倍頻的訊號，我們藉由變壓器 (T<sub>2</sub>'s)，來將這二倍頻的高頻訊號給耦合到倍頻電路之中。nMOS (M<sub>1A</sub>-M<sub>1B</sub>) 電晶體為一個注入鎖定的電感電容振盪器，由前面的理論可知，我們利用放大電路將QVCO耦合過來的二倍頻訊號，重新給它一個新的共模準位，並且將其它非線性的高階波給濾掉。圖6為放大電路等效電路圖，把原本很小的二倍頻振幅給放大，為帶通濾波器之特性。

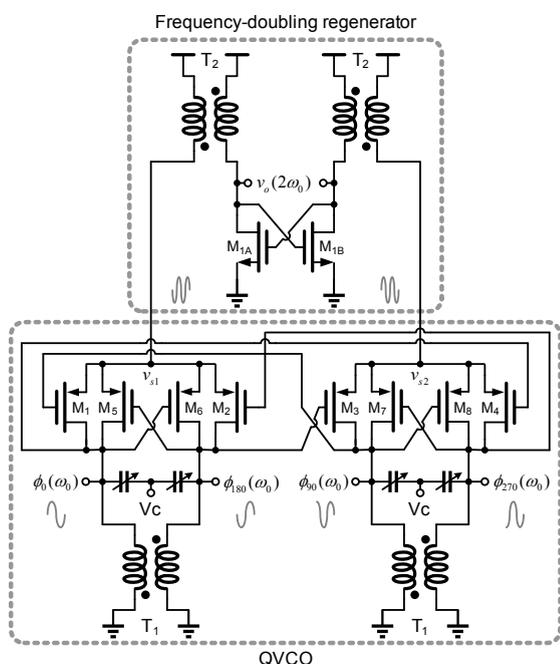


圖5 電感電容振盪器與倍頻電路

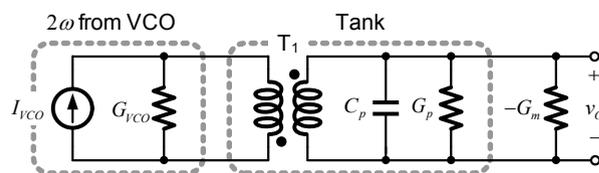


圖6 輸出放大電路的等效模型

#### 3.2 注入範圍的改進與討論

圖7說明二倍頻輸出放大器，而在V<sub>A</sub>與V<sub>B</sub>點會產生出二倍頻的訊號。由於放大器是以變壓器耦合輸入，將信號藉由nMOS (M<sub>1A</sub>-M<sub>1B</sub>) 電晶體以正回受的方式放大，此電晶體電路其實是負電阻組態，若沒有設計好，可能自我產生振盪，因此此處將說明其放大特性。因此為了防止振盪限象的發生，其串聯電阻R (圖7中) 在倍頻電路中扮演重要角色。R值大，則使得倍頻電路的品質因素 (quality factor) 降低，使得電路不易振盪，但相對雜訊增加。假設電晶體尺寸不變，藉由R值分析，可以了解可工作頻率範圍以及對輸入的靈敏度，以利我們對電感的選取和佈局。其次，若R值過大，增加一個電阻R上的壓降，而增加了電路的頭部空間電壓，不利於低電壓的操作。因此推導出電阻R的最佳範圍如下：

$$\frac{g_{m1}L}{C} \leq R_{range} \leq \frac{V_{DD} - V_{GS}}{I} \quad (1)$$

並且加以模擬，讓電阻R由0到20 W的變化中，相對應的鎖定頻率範圍，展示在圖8之中。

#### 3.3 低電壓操作的技巧

在四相位的電感電容振盪器 (QVCO) 與倍頻電路之中，差動交叉耦合電感電容振盪器，為藉由變壓器 (T<sub>1</sub>'s)，來減少整體電路的頭部空間電位，並且使得訊號擺幅的共模準位在接地端 (Ground)

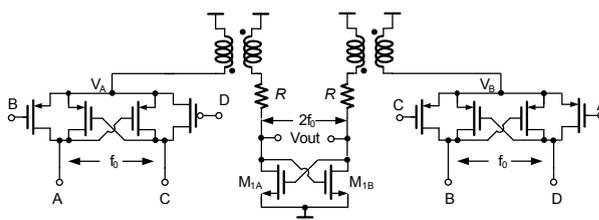


圖7 二倍頻輸出放大器之探討

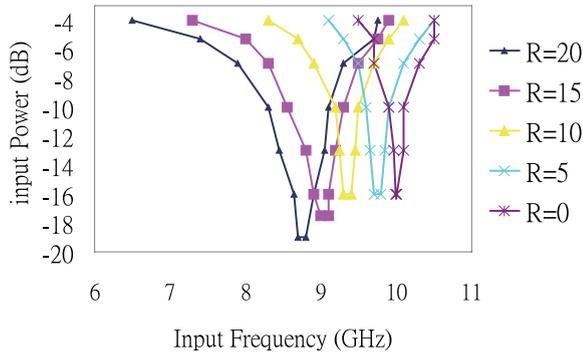


圖8 倍頻電路的鎖定頻率範圍模擬分析圖

之間振盪。然而變壓器 ( $T_2'$  s)，則將這二倍頻的高頻訊號給偶合到倍頻電路之中，並且重新給與一個電源電壓的共模準位，使得二倍頻的輸出訊號是在電源電壓 ( $V_{DD}$ ) 之間振盪。如圖9所示，為一電路的模擬圖，在此圖中很清楚的看到QVCO的輸出訊號與二倍頻的輸出訊號，分別在電源電壓 ( $V_{DD}$ ) 與接地端 (Ground) 之間振盪。如此不但可以使得輸出訊號的振幅可以大到超過  $V_{DD}$ ，並且由圖中可知，QVCO的輸出訊號與二倍頻的輸出訊號的最大值，正好是一個臨界電壓，如此電源電壓就算只有0.5 V，已逼近臨界電壓時，電晶體也可以正常工作，並且不會有輸出振幅受限於電源電壓太低，而影響輸出振幅的大小，近而影響相位雜訊的困擾 [7]。

#### 四、量測結果

為了驗證所設計的壓控振盪器和倍頻電路，我們將它製作品片量測。圖10所示為其晶片照相圖，使用0.13- $\mu\text{m}$  CMOS的製程，晶片大小為  $1.1 \times 0.67$

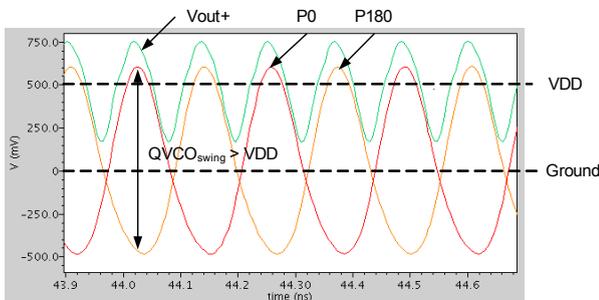


圖9 電感電容振盪器與倍頻電路的輸出模擬波形圖

$\text{mm}^2$ 。我們以高頻電路板製作，以0.5-V電源為測試，輸出都以50- $\Omega$ 特性阻抗匹配，連接至頻譜分析儀。圖11為二倍頻 ( $2\omega_0$ ) 輸出信號之頻譜，由壓控振盪器電路溢出之信號 ( $\omega_0$ ) 距離主信號頻率大小約為43 dB； $4\omega_0$ 信號為輸出之二倍諧波信號，離主信號大小約36 dB。圖12(a)為輸出頻率在9.148 GHz相位雜訊之頻譜分析圖，在偏移位相位為1 MHz之下其值為-106.88 dBc/Hz。圖12(b)則為壓控振盪器本身的輸出相位雜訊，在偏移位相位為1 MHz之下其值為-123.85 dBc/Hz。整個電路輸出頻率對電壓的轉換特性如圖13所示，其倍頻輸出信號頻率可從8.8 GHz變化到9.2 GHz，其可變化之範圍為400 MHz，消耗功率約為7.2 mW，其中壓控振盪器消耗4.4 mW。然而，按照注入所定的理論，二倍諧波信號 ( $2\omega_0$ ) 和其基頻信號 ( $\omega_0$ ) 之雜訊相差應為6 dB，而我們所測試結果顯然大於此數值，這是在高頻9GHz的輸出方面，由於打線上的電感以及PCB板，

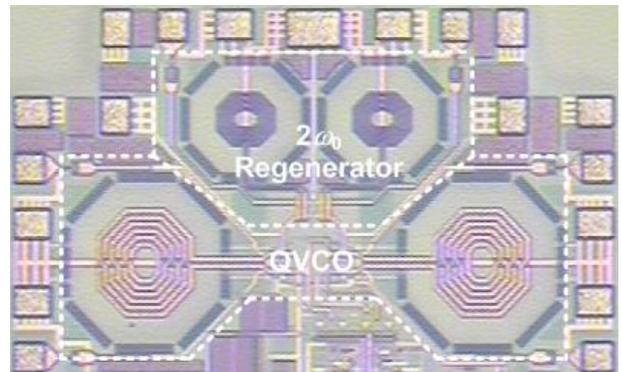


圖10 晶片照相圖

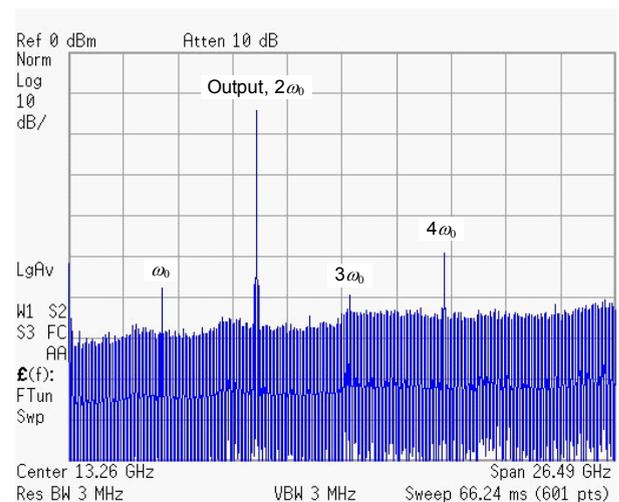
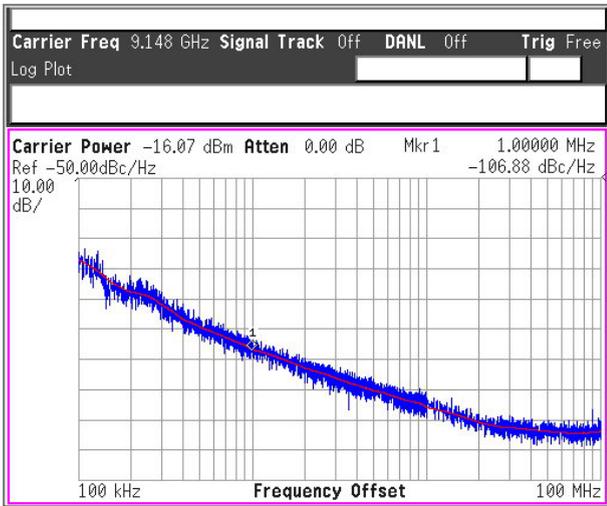
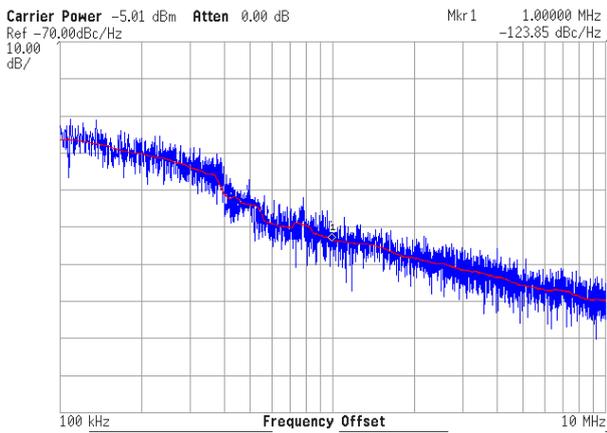


圖11 頻譜分析圖

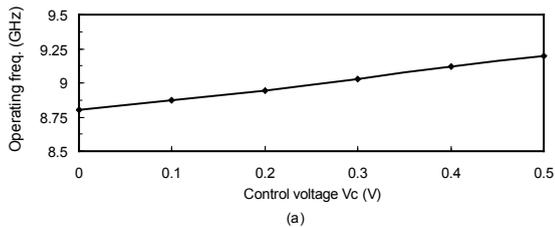


(a)

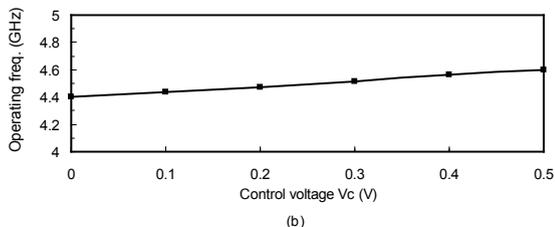


(b)

圖12 相位雜訊之頻譜分析圖：(a)倍頻電路輸出，(b)壓控振盪器輸出



(a)



(b)

圖13 電壓控制頻率特性：(a)倍頻電路輸出，(b)壓控振盪器輸出

會使得輸出訊號有所衰減，以及打線所產生的電感效應，在加上外界對於高頻訊號的干擾等，還有在PCB板的設計上，已超過了9GHz所能承受的範圍，這些方面的加總將會使得相位雜訊在倍頻與VCO之間的量測誤差。反觀在VCO的輸出，頻率大約在4.5GHz附近，這樣的頻率在輸出訊號的強度是很強的，這方面可由量測圖中的power數值得知，在配合目前實驗室所擁有的6GHz的Bias Tee將可得到較佳的量測數值。

通常，射頻電路之壓控振盪器的爭競力 (figure of merit, FoM) 可以用下式描述 [8]：

$$FoM = PN(\Delta f) - 20 \log \left( \frac{f_0}{\Delta f} \right) + 10 \log \left( \frac{P_{diss}}{1mW} \right) \quad (2)$$

其中，FoM是表示在某位移頻率(Df)下的相位雜訊之正規量化，PN為相位雜訊， $f_0$  為中心頻率， $P_{diss}$  為在單位毫瓦上的功率消耗。考慮輸出頻率範圍，則FoM可修正為 [9]：

$$FoM_T = FoM - 20 \log \left( \frac{FTR}{10} \right) \quad (3)$$

其中FTR為頻率範圍以百分比表示，亦即FoM<sub>T</sub>為FoM加入FTR以為公平比較。因此本振盪電路的FoM和FoM<sub>T</sub>值分別為-190.6 dBc/Hz和-188.2 dBc/Hz；加入倍頻輸出電路，其FoM和FoM<sub>T</sub>值分別為-177.6 dBc/Hz和-175.2 dBc/Hz。表1中，我們整理出壓控振盪器的效能參數，以及與其它相關論文之比較 [10]-[14]，其工作電壓選擇1 V以下。

## 五、結 論

我們使用了變壓器耦合來實現四相位壓控振盪器和倍頻輸出電路，使其操作在高頻且低雜訊之應用。由於採用倍頻的方式，可使輸出頻率提升二倍，且壓控振盪器的頻率範圍的調整能力得以不必受到高頻振盪而壓抑。再者，由於耦合電感連接於壓控振盪器的源級端，具有二倍頻特性，藉由共振腔的介入可具有雜訊抑制之效應。以0.5V電源工作，量測顯示振盪器可振盪在4.4至4.6 GHz 的振盪頻率，使得倍頻至8.8至9.2 GHz範圍，其相位雜訊為-107 dBc/Hz，其消耗功率約為7.2毫瓦。

表1 相關論文在效能上之比較

Refs		Technology [mm]	Frequency [GHz]	Tuning range: Freq[GHz]/ Vol[V]	VDD [V]	Power [mW]	Phase noise [dBc/Hz]@1MHz	FoM [dBc/Hz]	FoMT [dBc/Hz]
This work	2w0	0.13 CMOS	9.16	0.68 / 0.5	0.5	7.2*	-106.88	-177.6	-175.2
	w0		4.58	0.34 / 0.5		4.4	-123.85	-190.6	-188.2
[10]		0.09 CMOS	1.77	0.07/1	1	6.3	-107	-164.0	-155.9
[11]		0.18 CMOS	5.8	0.5/0.6	0.6	0.7	-97	-174	-172.9
[12]		0.18 CMOS	3.8	0.32 / 1.8	0.5	0.57	-119	-193	-191.4
[13]		0.18 CMOS	8.5	0.4 / 0.7	0.7	6	-121.6	-190	-184.4
[14]		0.18 CMOS	5.6	0.45 / 0.6	0.6	3	-118	-189	-187.1
				0.36 / 0.4	0.4	1.1	-114	-189	-185.1

\*包括電壓控制振盪器和倍頻放大電路的消耗功率。

## 誌 謝

本研究承蒙國家晶片設計中心(CIC)提供半導體製程的支援以及製作,以及國家科學委員會之經費補助(NSC97-2221-E-005-090),謹此致謝。

## 參考文獻

- Zolfaghari, A. and Razavi, B., "A Low-Power 2.4-GHz Transmitter/Receiver CMOS IC," *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 2, pp. 176-183 (2003).
- Wong, J.M.C. and Luong, H.C., "A 1.5-V 4-GHz Dynamic-Loading Regenerative Frequency Doubler in a 0.35- $\mu$ m CMOS Process," *IEEE Transaction Circuits and Systems-II: Analog and Digital Processing*, Vol. 5, No. 8, pp. 450-455 (2003).
- Hegazi, E., Sjolund, H. and Abidi, A.A., "A Filtering Technique to Lower LC Oscillator Phase Noise," *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 12, pp. 1921-1930 (2001).
- Andreani, P. and Sjolund, H., "Tail Current Noise Suppression in RF CMOS VCOs," *IEEE Journal of Solid-State Circuits*, Vol. 37, No. 3, pp. 342-348 (2002).
- Rofougaran, A., Rael, J., Rofougaran, M. and Abidi, A.A., "A 900 MHz CMOS LC-Oscillator with Quadrature Outputs," *International Solid-State Circuits Conference*, San Francisco, pp. 392-393 (1996).
- Gierkink, S.L.J., Levantino, S., Frye, R.C., Samori, C. and Boccuzzi, V., "A Low-Phase-Noise 5-GHz CMOS Quadrature VCO Using Superharmonic Coupling," *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 7, pp. 1148-1154 (2003).
- Wel, A.P., Klumperink, E.A.M. and Nauta, B., "Measurement of MOSFET LF noise under large signal RF excitation," *European Solid-State Device Research Conference*, Sevilla, pp. 91-94 (2002).
- Kinget, P., *Integrated GHz Voltage Controlled Oscillators*, Kluwer Academic Publishers, New York (1999).
- Kim, J., Plouchart, J., Zamdmer, N., Cherony, M., Tan, Y., Yoon, M., Trzcinski, R., Talbi, M., Safran, J., Ray, A. and Wagner, L., "A power-optimized widely-tunable 5-GHz monolithic VCO in a digital SOI CMOS technology on high resistivity substrate," *International Symposium on Low Power Electrical and Design*, Seoul, pp. 434-439 (2003).
- Hou, J.-A., Chang, C.-P., Su, J., Liou, T.-S., Wong, S.-C. and Wang, Y.-H., "A Low Supply Voltage VCO Implemented by a Single Common-Source 90 nm CMOS Transistor," *IEEE Microwave Wireless Component Letter*, Vol. 17, No. 1, pp. 64-66 (2007).
- Hsieh, H.-H., Chung, K.-S. and Lu, L.-H., "Ultra-low-voltage mixer and VCO in 0.18- $\mu$ m CMOS," *IEEE Radio Frequency Integrated Circuits Symposium*, Long Beach, pp. 167-170 (2005).

12. Kwok, K. and Luong, H.C., "Ultra-Low-Voltage High-Performance CMOS VCOs Using Transformer Feedback," *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 3, pp. 652-660 (2005).
13. Chang, C.-H. and Yang, C.-Y., "A Low-Voltage High-Frequency CMOS LC-VCO," *IEEE Radio Frequency Integrated Circuits Symposium*, Atlanta, pp. 545-548 (2008).
14. Hsieh, H.-H. and Lu, L.-H., "A High-Performance CMOS Voltage-Controlled Oscillator for Ultra-Low-Voltage Operations," *IEEE Transaction on Microwave Theory and Technique*, Vol. 55, No. 3, pp. 467-473 (2007).

*Manuscript Received: Jan. 22, 2010*

*Revision Received: Feb. 09, 2010*

*and Accepted: Feb. 10, 2010*