

# An Efficient Pipelined and Double-Issue MIPS Processor Design with Verilog on FPGA

組員：何宣頤

**摘要** - 此專題建構了 single-issue 及 double-issue MIPS 以展示 double-issue MIPS 之成果，並且比較實行雙發射以後整體電路之進步。單雙發射模組皆採用了 5-stage pipeline 的方法以提升平行處理的能力。最終也於 NEXYS-DDR4 FPGA 板上進行實作與驗證，並且單發射的最大頻率達到了 83.333 MHz，而雙發射達到了 166.67 MHz，最大頻率之差異可能是由於模組化的細緻程度所導致。

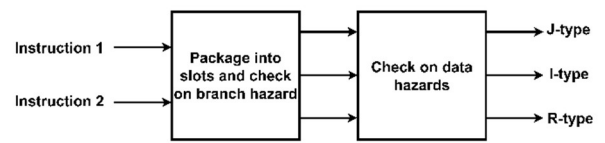
## 一、引言

為了達成單雙發射並且運用 5-stage pipeline 的 MIPS，解決資料相依是必要的，例如：前後指令寫入並讀取同樣的暫存器。因此，完善的 forwarding 以及 hazard detection 機制是必須的。另外，插入排序法是作為驗證以及幫助對比電路效能是否提升的程式。NEXYS-DDR4 FPGA 板藉由 PS2 鍵盤輸入排序的數字，藉由板子上的按鈕啟動排序的程式。

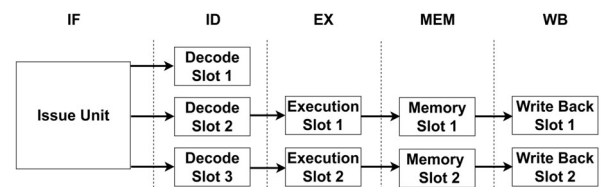
## 二、系統架構

- 頁尾的圖三展示了 double-issue MIPS 的架構，與 single-issue 不同的是：double-issue 多了 packet issue unit 以判斷每對指令是否符合雙發射，並且擁有了兩組的 ALU、forwarding units，電路上也多了一組的訊號以搭配雙發射。
- Packet issue 的功能如圖一展示。主要分為兩個階段，分別為：將指令分類放入對應 datapaths 和檢查分支，以及檢察資料相依。如果發生資料相依或者分支錯誤，則該週期會轉為單發射。

- Packet issue unit 會檢查兩個指令是否為同類型，例如：I-type 與 J-type 為不同類型指令所以可以進行雙發射，但同為 R-type 指令的話則會變為單發射週期。表一呈現了各種指令組合的雙發射情形。
- 每一類型的指令都有獨立的資料路徑，提供平行運算。
- Branch 時以及先讀後時算會產生 hazard 需要特別設計邏輯排除。圖四展示了電路遇到 hazard 時的運作情形。



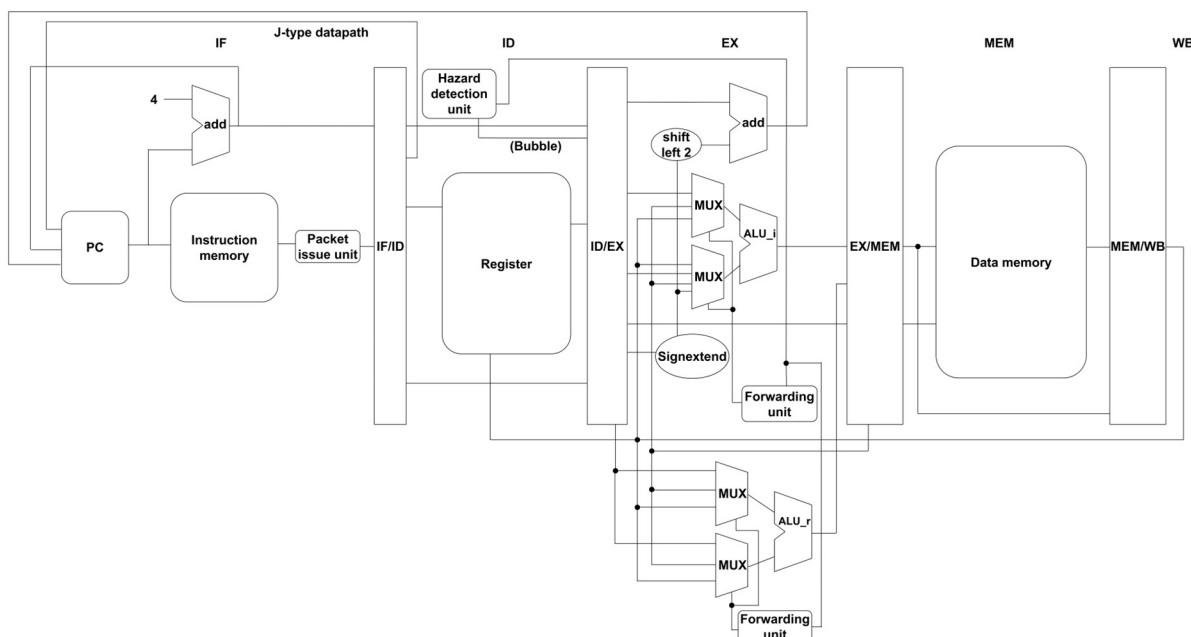
圖一、packet issue unit 示意圖



圖二、double-issue MIPS datapath

The first instruction	The second instruction	Double-issue?
add \$t3,\$t1,\$t2	sub \$t4,\$t1,\$t2	No
sub \$t4,\$t1,\$t2	lw \$t5,0(\$t2)	Yes
lw \$t5,0(\$t2)	beq \$t0,\$t4,0	Yes
beq \$t0,\$t4,0	sw \$t9,0(\$s0)	No
sw \$t9,0(\$s0)	lw \$t5,0(\$t2)	No
lw \$t5,0(\$t2)	sub \$t4,\$t1,\$t2	Yes

表一、雙發射判斷範例



圖三、double-issue MIPS 架構

	0x0000 lw \$r2,\$r1,\$0(r0)				
	0x0004 add \$r4,\$r3,\$r2				
CC1	CC2	CC3	CC4	CC5	
fetch lw	decode lw	execute lw	memory access lw	write back lw	
	fetch add	decode add (bubble)	0	0	
		fetch add	decode add	execute add	
	0x0000 beq \$r1,\$r2,25				
	0x0004 add \$s0,\$s1,\$s2				
	.				
	.				
	0x0064 sub \$r6,\$r4,\$r5				
CC1	CC2	CC3	CC4	CC5	
fetch beq	decode beq	execute beq	memory access beq	write back beq	
if branch is taken	fetch add	decode add (bubble)	0	0	
if branch is taken		fetch sub	decode sub	execute sub	

圖四、hazard 處理範例(上為資料 hazard，下為 branch hazard)

### 三、實作

Single-issue MIPS 及 double-issue MIPS 皆於 Modelsim 進行模擬以及 NEXYS-DDR4 進行實作，接通過驗證並且於 CPI 減少 17%。以插入排序作為驗證的程式。



圖五、排序前後對比(左為排序前，又為排序後)

### 四、效能

雙發射相較單發射用了更多的邏輯元件。如表二所呈現。

Resource	Utilization	Available
LUT	2075	63400
FF	430	126800
IO	66	210
BUFG	12	32

Resource	Utilization	Available
LUT	3719	63400
FF	1916	126800
IO	66	210
BUFG	9	32

表二、資源使用數(上為單發射，下為雙發射)

另外，表三展示了與參考文獻[2]之雙發射電路的比較。可以發現頻率顯著提升到 166.67 MHz，可歸功於 pipeline stage 數目的提升，使得頻率有往上增長的動力。但換來更複雜的 forward 邏輯，導致電路要犧牲額外週期調用 data。

	本報告之雙發射電路	[2]之雙發射電路
Maximum clock	166.67 MHz	63.27 MHz
CPI reduction	17%	26%
Pipeline stages	5	4

表三、與[2]的 double-issue MIPS 電路比較

### 五、總結

實作了單發射與雙發射的 MIPS，雙發射模型減少了 17%的週期數，最終的最大頻率是 166.67 MHz。

並且功能性已經於 ModelSim 以及 NEXYS DDR4 fpga 板上以插入排序法進行驗證。

### 參考文獻

- [1] D. A. Patterson and J. L. Hennessy, *Computer Organization and Design*, 4th rev. ed. Morgan Kaufmann, 2012.
- [2] A. T., A. L. Romas, R. S. I. P., and T. Adiono, "A pipelined double-issue MIPS-based processor architecture," in *Proc. ISPACS*, 2009, pp. 583–586.