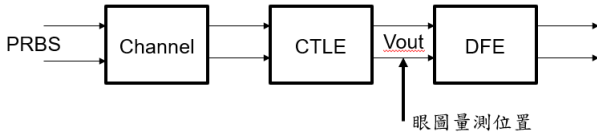


# 應用於 5GHz 通道衰減 15dB 之連續時間線性等化器及判決反饋等化器

專題生: 電機四 B 郭致廷

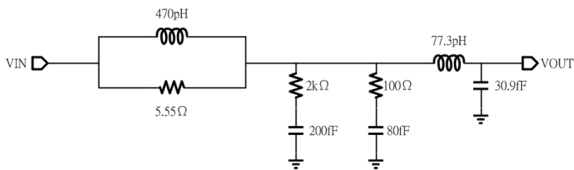
## 一、設計理念:

為了更深入學習類比電路相關知識、設計的過程考量、軟體的使用，並符合當今高速電路訊號傳輸趨勢，考慮到電路的複雜性、設計難度以及布局條件，最後決定以此電路作為專題題目。

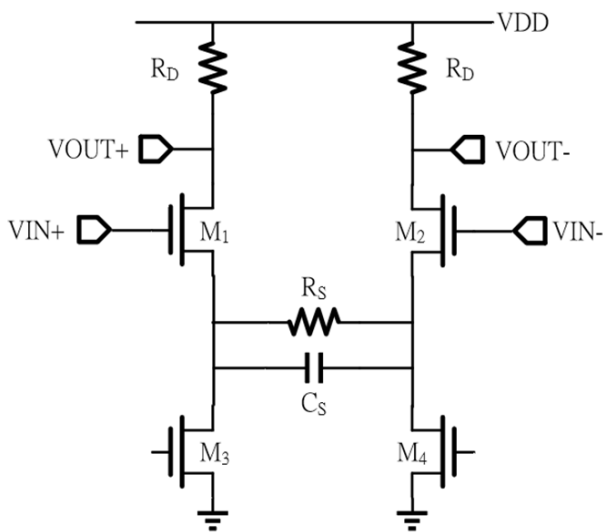


## 二、電路架構:

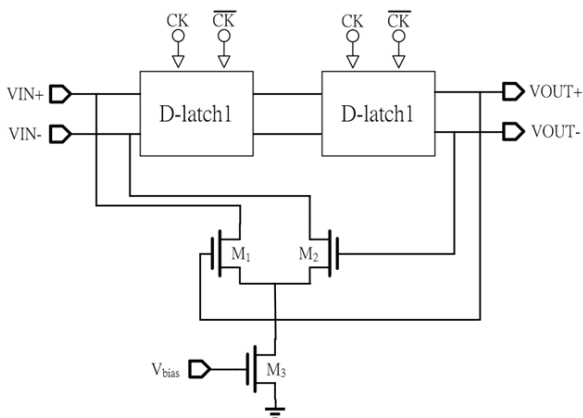
### (一)、channel



### (二)、CTLE

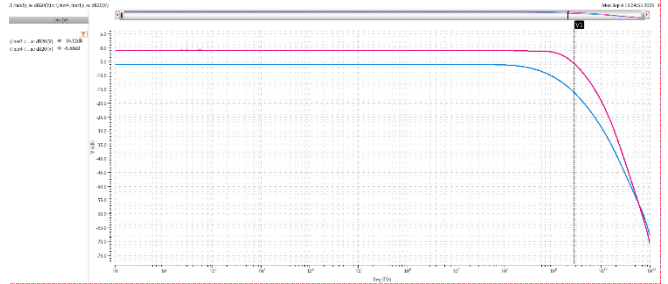


### (三)、DFE

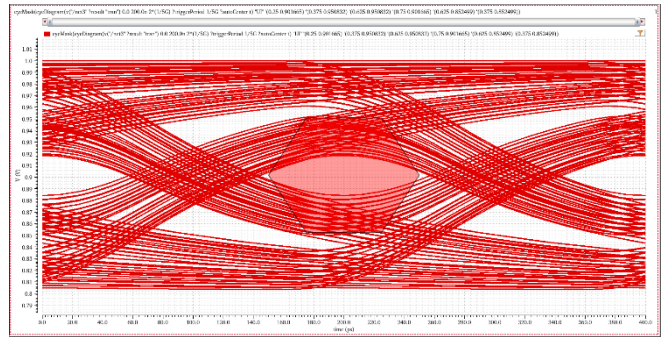


## 三、模擬結果

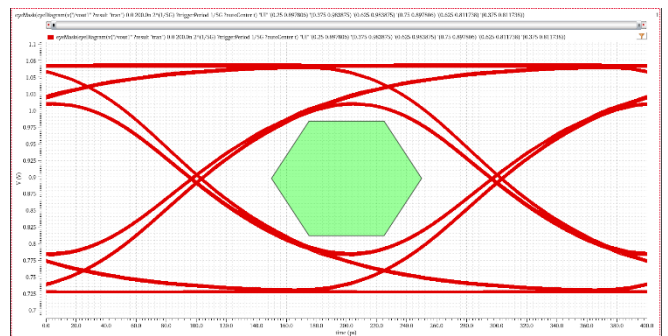
### (一) channel-CTLE frequency response



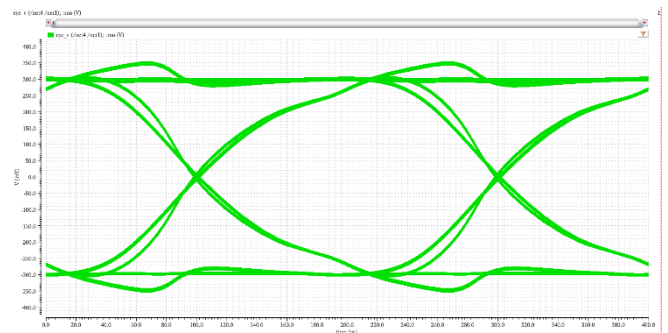
### (二) output eyes of channel



### (三) output eyes of channel-CTLE

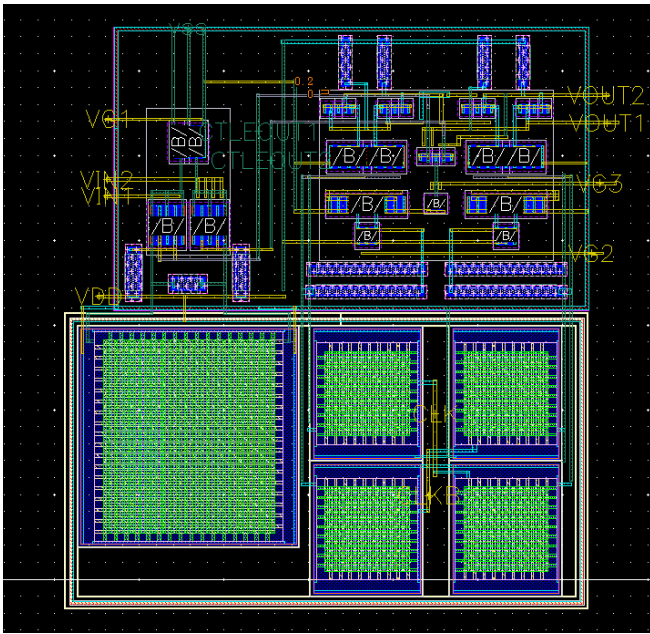


### (四) output eyes of channel-CTLE-DFE



## 四、LAYOUT

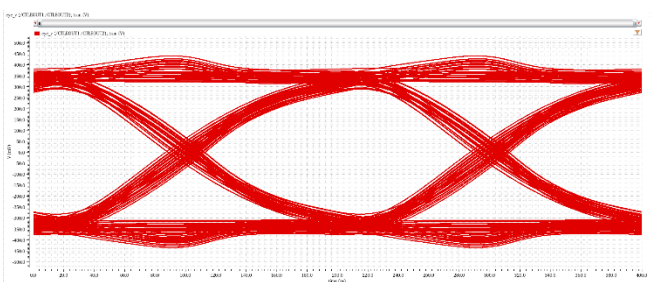
### (一)、CTLE-DFE Layout



(二) output eyes of channel-CTLE postsim



(三) output eyes of channel-CTLE-DFE postsim



## 五、結果與討論

此專題採用 90nm 的製程進行設計，雖然在設計及 presim 的過程中，模擬的結果還不錯，但是在 layout 及 postsim 的過程中，量測結果並沒有如 presim 結果來的好，由於此次專題電路中，CTLE 電路在寄生電容及寄生電阻上相對敏感，因此推斷 postsim 結果應該是版圖布局產生的寄生電容與電阻使的頻率補償的位置偏移，進而使相對低頻部分補償不足造成眼圖變粗，而 layout 結果也顯示出我對於 layout 知識的不足，因此未來會研讀更多有關 layout 的細節，並改善 postsim 結果中效果不理想的地方

## 六、參考文獻

- [1] B. Razavi, "The design of an equalizer — Part one," IEEE Solid State Circuits Mag., vol. 13, no. 4, pp. 7–160, Fall 2021
- [2] B. Razavi, "The decision-feedback equalizer [A Circuit for All Seasons]," IEEE Solid-State Circuits Mag., vol. 9, no. 4, pp. 13–16, Nov. 2017.
- [3] S. Gondi and B. Razavi, "Equalization and clock and data recovery techniques for 10 Gb/s CMOS serial-link receivers," IEEE J. Solid State Circuits, vol. 42, no. 9, pp. 1999–2011, Sept. 2007.