

# A Pipelined MIPS Processor Design with Double-Issue Datapath on FPGA

組員: 電機四 施善崴

## 研究動機

現代處理器設計不斷追求更高的效能與指令吞吐量。從單週期執行到管線化技術，再到多指令發射技術，架構的演進對運算速度有著決定性的影響。然而，架構的複雜化同時也帶來了硬體成本增加與時序設計的挑戰。為了深入理解這些計算機組織的核心概念，本專題選擇從構建 32位元 MIPS 處理器。

## 摘要

本專題旨在設計、實現並分析MIPS 架構的三種處理器：(Single-Cycle Datapath、(Pipeline) 以及 (Double-Issue)。研究過程中，利用 Verilog 硬體描述語言實作了上述架構，並設計了 Register File 與 ALU 等核心單元。評估不同架構的效能差異，本研究採用了插入排序 (Insertion Sort) 與矩陣運算 (Matrix Computing) 作為測試指令集，進行了合成模擬與 FPGA 驗證。

## 波形圖模擬

一個週期模擬 30ns，而 instructions 為 332、pipeline 花了 371 個週期、double-issue 花了 229 個週期，可知在用 matrix-computing 當作指令集的情況下，pipeline 的 CPI 為 1.11，double-issue 的 CPI 為 0.69，接近理想 0.5 數值。

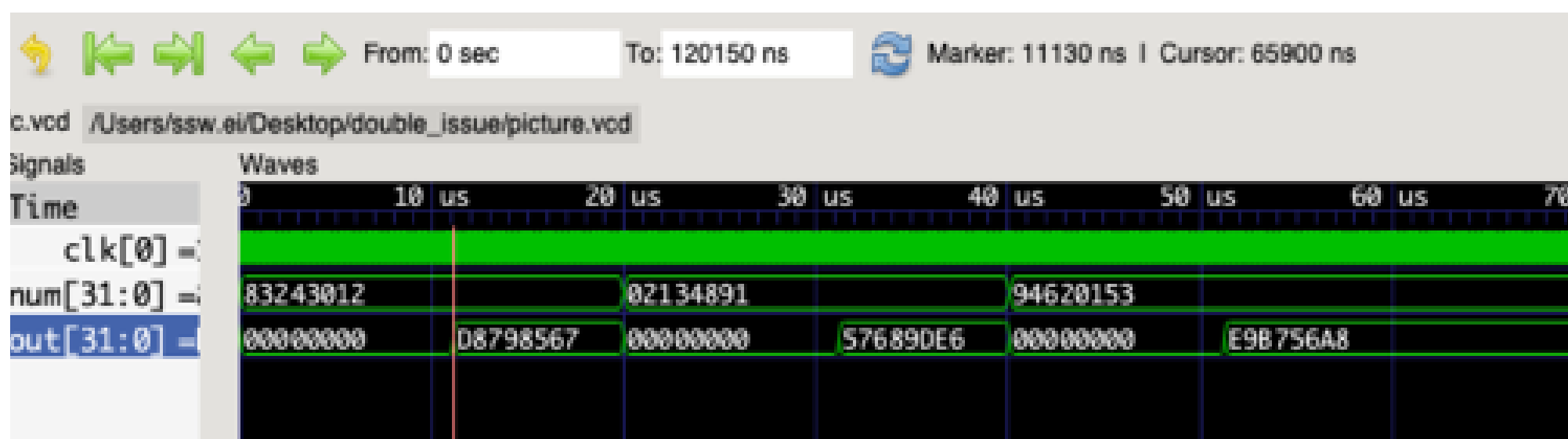


圖4.pipeline 模擬成果(matrix-computing)

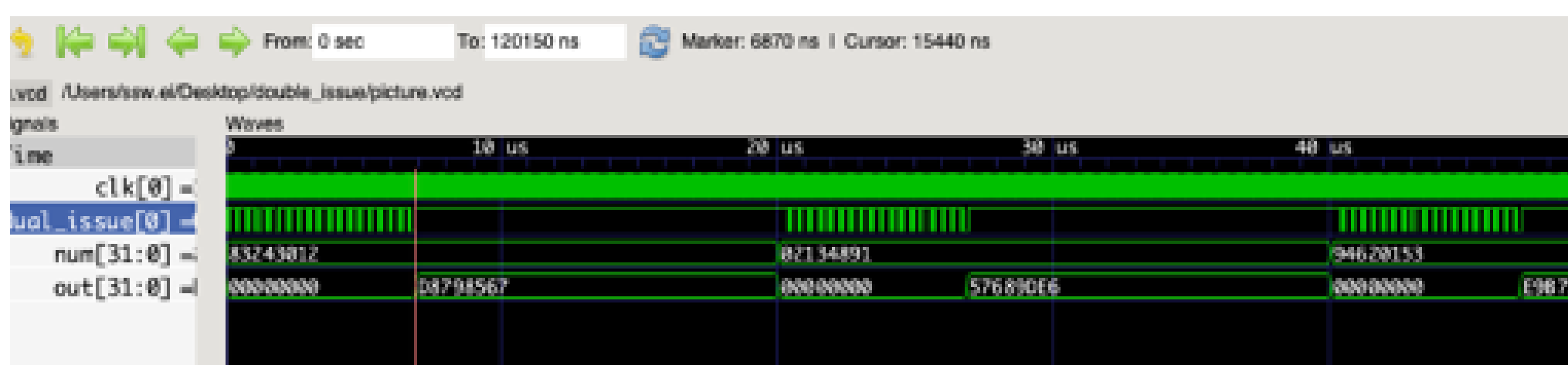


圖5.double\_issue 模擬成果(matrix-computing)

## CPU架構

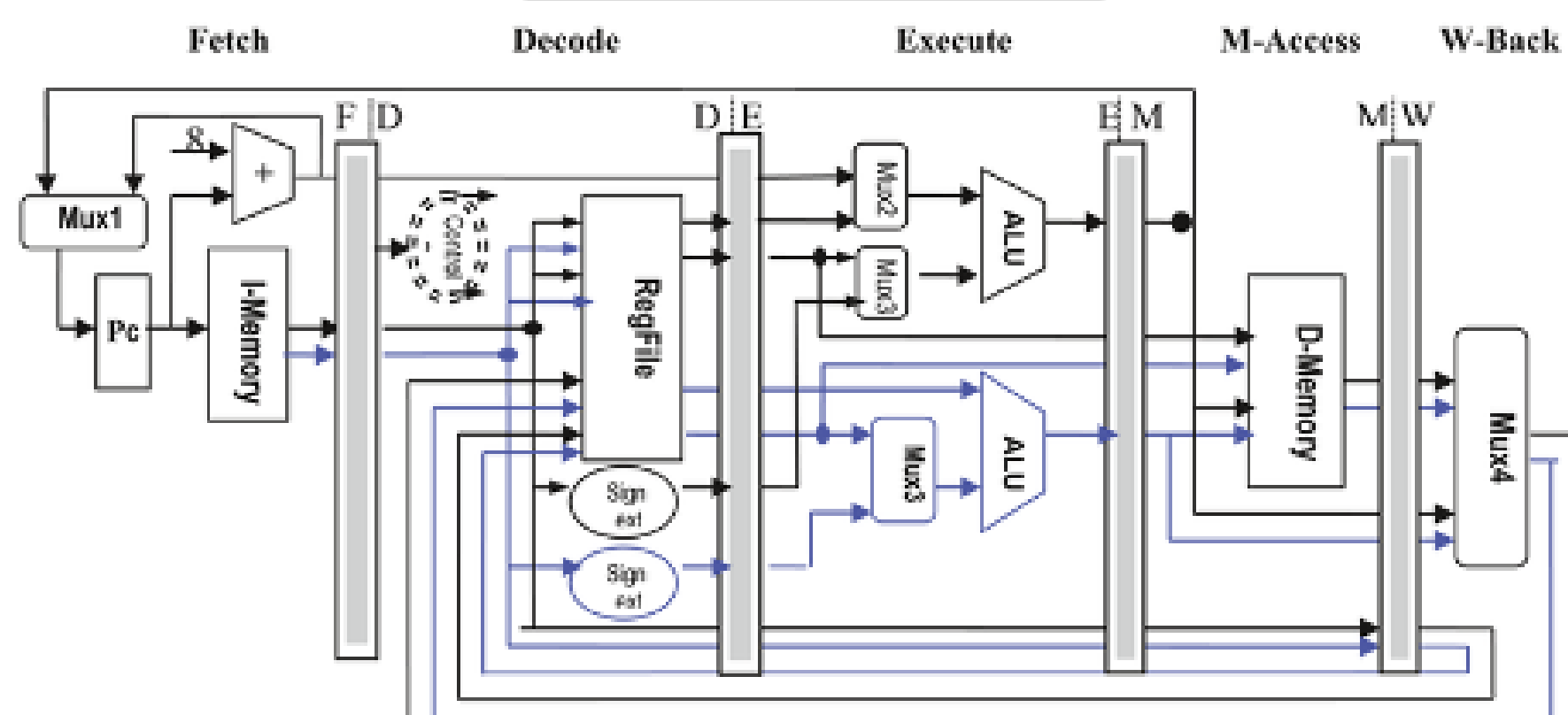


圖1.double\_issue 架構圖

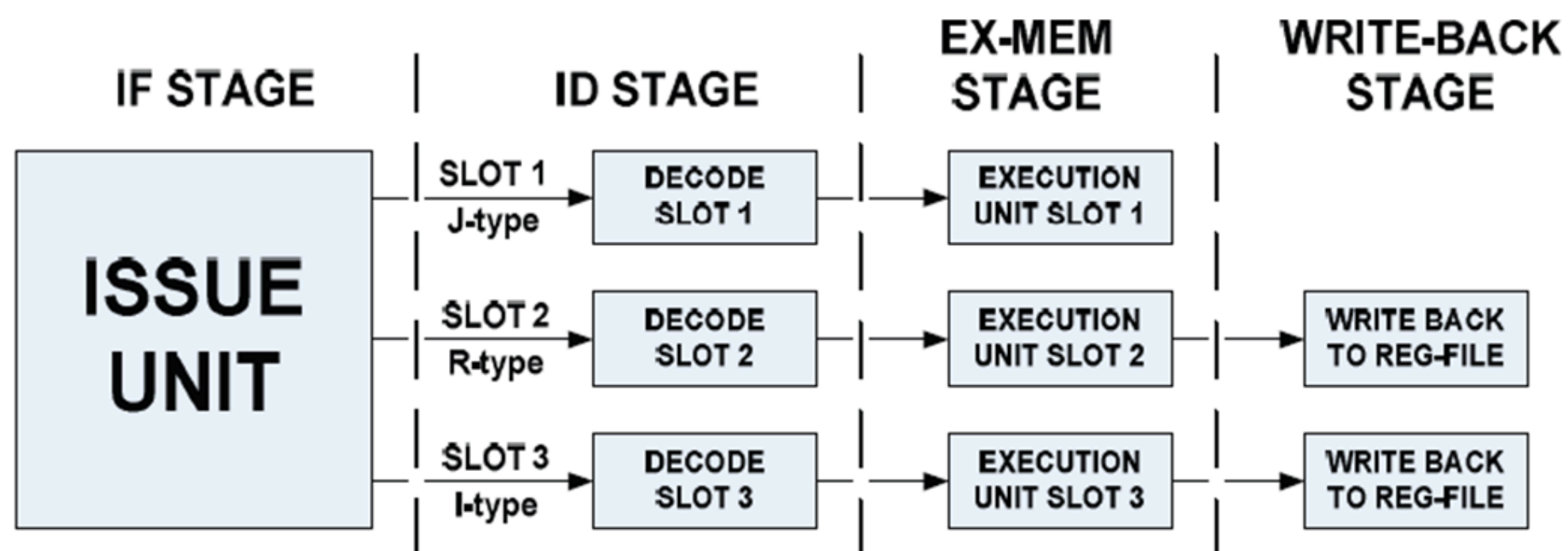


圖2.slot\_issue架構圖

## timing

	Frequency (HZ)	Time period (ns)	Total delay (ns)	Slack (ns)
datapath	50M	20	16.091	3.736
pipeline	100M	10	9.430	0.528
Double-issue	62.5M	16	14.002	1.639

圖3.clock frequency 比較表

## 結果與實作板

鍵盤輸入送入CPU處理，CPU依功能運算並輸出結果至七段顯示器控制模組，最終將資料以七段顯示方式呈現

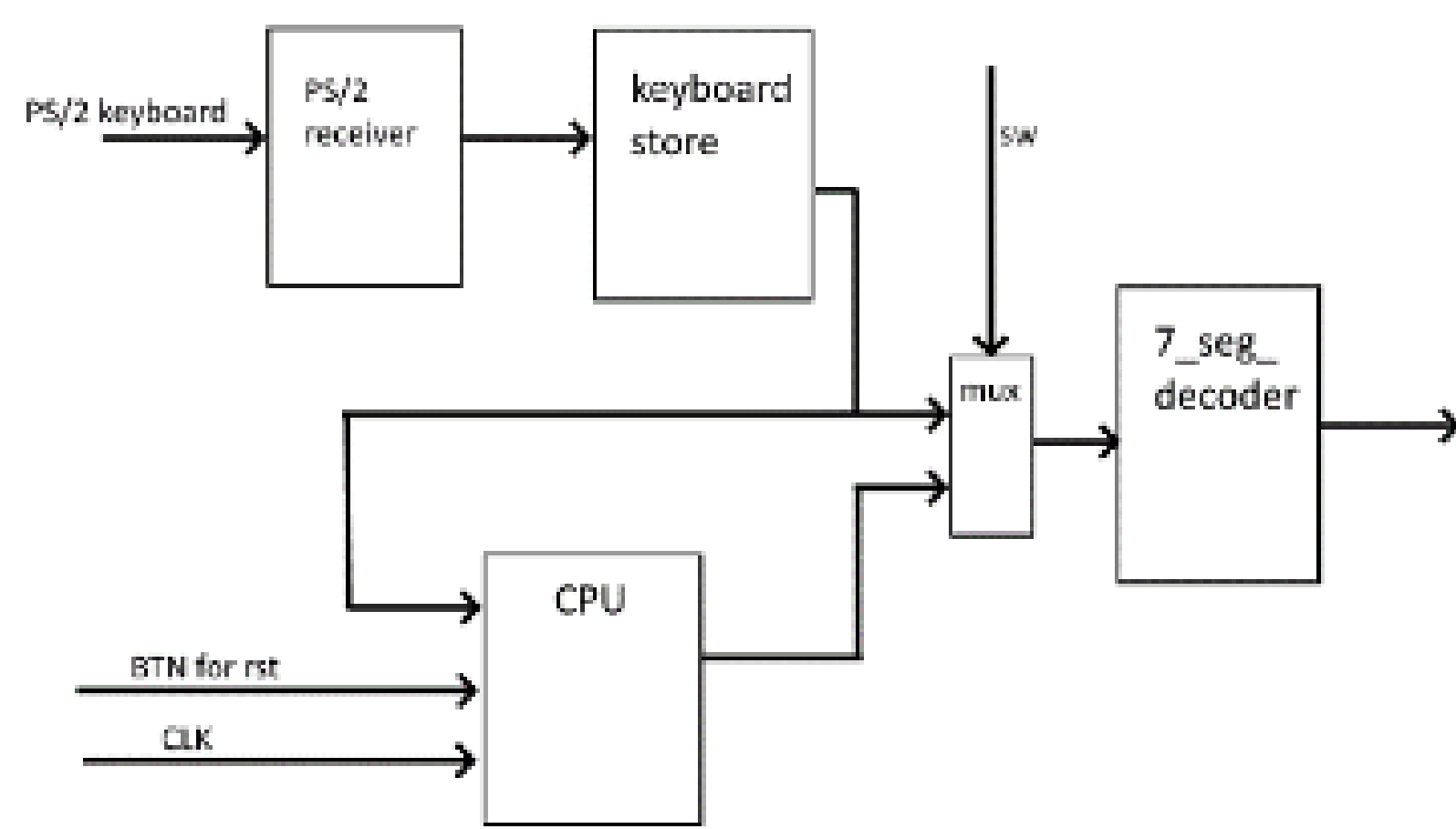


圖6.fpga驗證 輸入訊號到輸出結果的架構圖

## 結論

Double-Issue 架構雖然能有效降低 CPI 至 0.69，顯著提升了指令平行度，但其帶來的控制邏輯複雜度導致關鍵路徑延遲增加，使得最高運作時脈下降至 62.5 MHz。最終的效能分析顯示，在時脈下降的影響下，Double-Issue 相較於 Pipeline 的實際執行速度提升非常有限，但硬體資源 (LUT) 消耗卻增加，功耗亦隨之上升。這凸顯了處理器設計中的核心權衡，未來的可改進方向重於更細緻的管線切割以提升時脈，或優化資源分配策略。