

一個十二位元每秒採樣一千萬次具有以輔助電晶體進行偏移量消除之類比數位轉換器

組員：電機四 楊景欽

此設計輸入訊號 CLKS 之 Duty Cycle 為 75%，此設計的特色是使用輔助電晶體進行偏移量的消除。本設計採用以黃金比例為基礎的電容權重，含有兩位元的冗余位，可以加速比較過程並且讓容錯率上升。此設計之 Pre-Sim 的 ENOB 是 11.88bit，功耗則是 10.75mW；Post-Sim 的 ENOB 則是 9.13bit，功耗則是 12.30mW，整體的 Chip Area 大約是 1.34 毫米平方，並且晶片已經下線（尚未量測）。

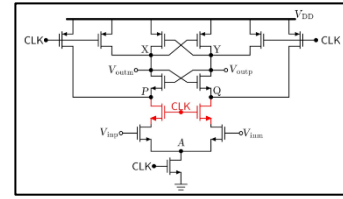


Fig.5 以多一層疊接來消除 Kickback Noise

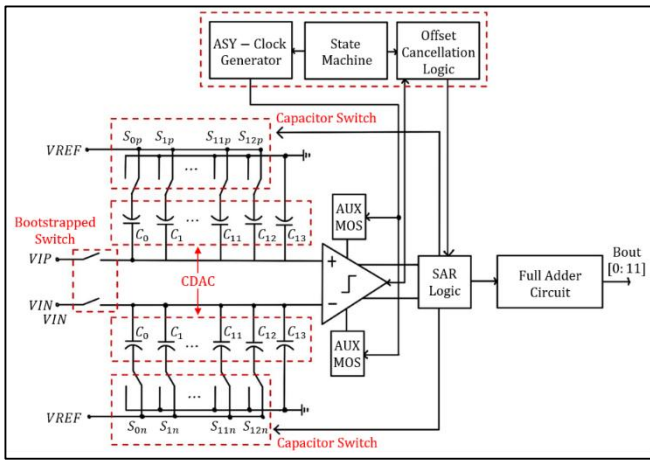


Fig.1 SAR ADC 架構圖

具有偏移量消除電路以及兩位冗余位元。

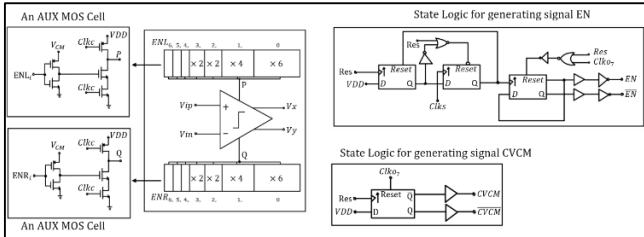


Fig.2 偏移量消除電路與邏輯

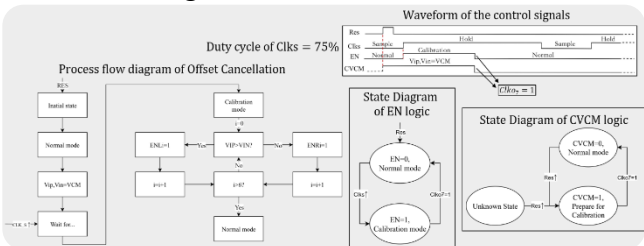


Fig.3 偏移量消除控制訊號圖與狀態圖

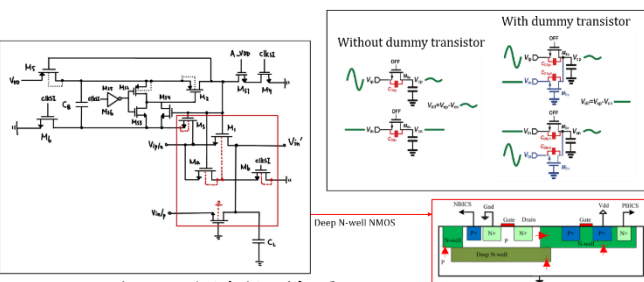


Fig.4 採樣/保持電路

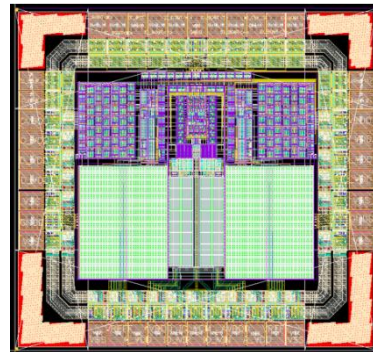


Fig.6 Layout of the Top Cell

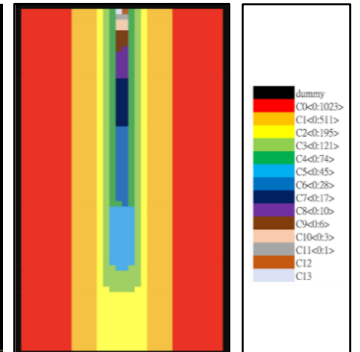


Fig.7 電容陣列佈局

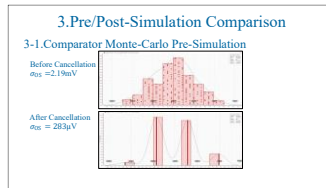


Fig.8 Monte-Carlo Sim

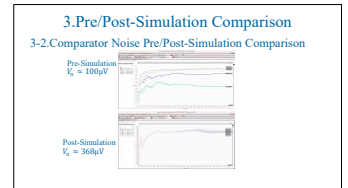


Fig.9 Noise Sim

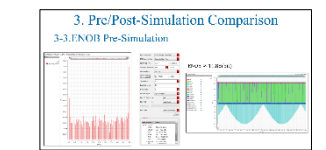


Fig.10 Pre-sim Waveform (FFT&Transient)

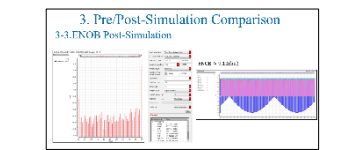


Fig.11 Post-sim Waveform (FFT&Transient)

Spec.	Pre - Simulation	Post - Simulation
Supply voltage(V)	1.8	1.8
Sampling rate(Ms/s)	10	10
Input CM Voltage(V)	0.9	0.9
ENOB(bit)	11.8	≈ 11.88
SFDR(dBc)	N/A	≈ 84.32
Input range(V _{pp} -V)	3.6 × 0.8 = 2.88	≈ 3.08
Power(mW)	N/A	≈ 10.75
Chip Area(mm ²)	N/A	≈ 1.193 × 1.121

Fig.12 Spec. and Pre-sim Post-sim result

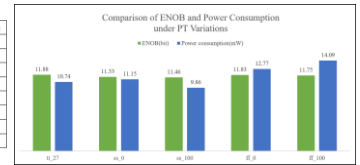


Fig.13 Pre-sim results under PT Variations

結論

本設計最後成功將 offset 消除至大約 300 μV，並且輸入雜訊也僅有大約 350 μV，可以降低數位消除過程中由雜訊引起的錯誤。然而，在 Post-sim 中，由於 CDAC 的架構選擇以及 CDAC 的佈局問題，造成 ENOB 的大幅下降。因此在往後的設計中，我們應該更考慮該問題，以達到更佳效能。