

參考頻率突波為-74.8dB 的 4G-Hz 整數型鎖相迴路

A 4G-Hz Integer-N PLL with -74.8dB Spur

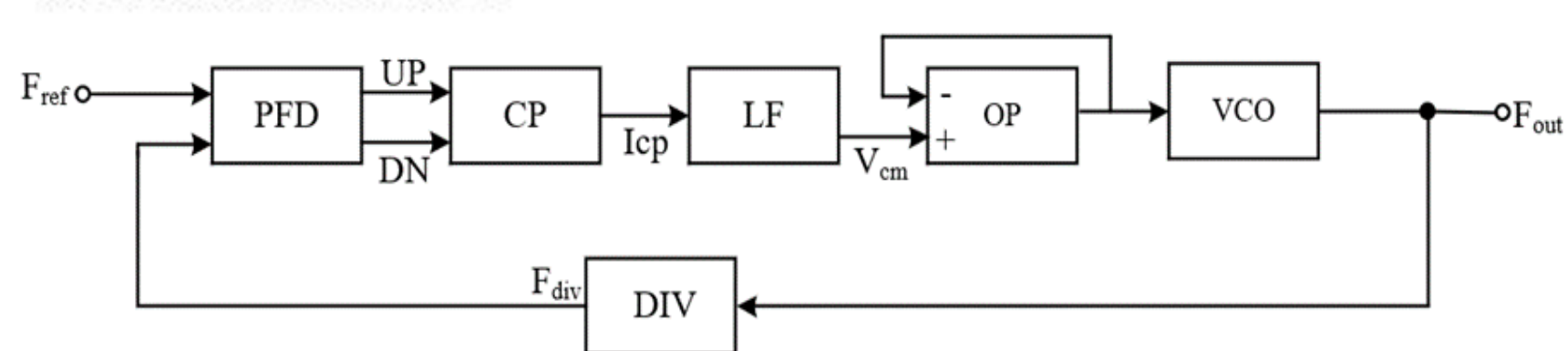
四年級:彭秋瑄、陳怡萱

摘要

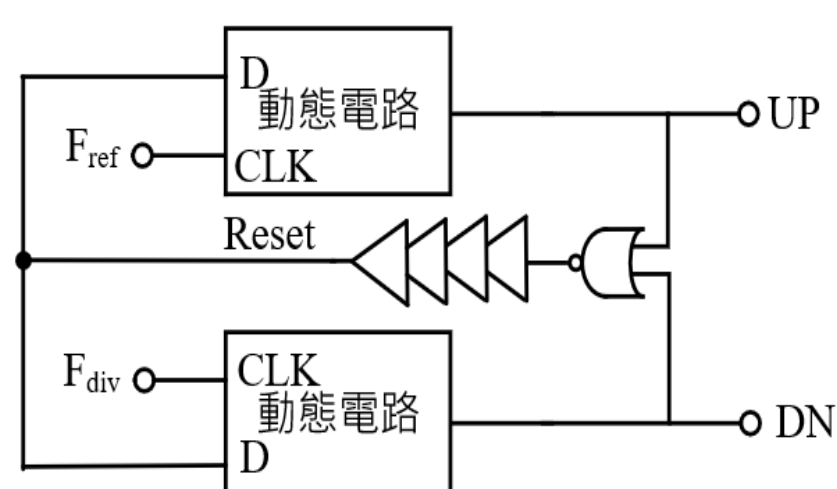
近年來科技發展迅速，隨著應用頻率不斷往上提升，對頻率合成器的要求也越來越高，鎖相迴路(PLL)就變得很重要，因為PLL可以把一個低頻、穩定的參考訊號，合成出更高頻率的輸出，同時還能維持一定的穩定度。本專題使用的鎖相迴路架構為CPPLL，參考頻率FREF為40-MHz除數為100，輸出訊號FOUT為4-GHz，主要系統架構由相位頻率偵測器(PFD)、電荷幫浦(CP)、濾波器(LF)、LC壓控震盪器(LC VCO)、放大器(Amplifier)、除頻器(Divider)所組成。

系統架構

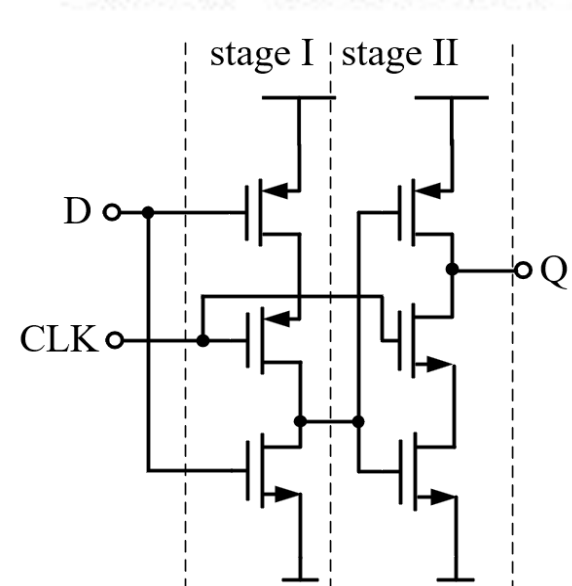
1. 整體系統架構



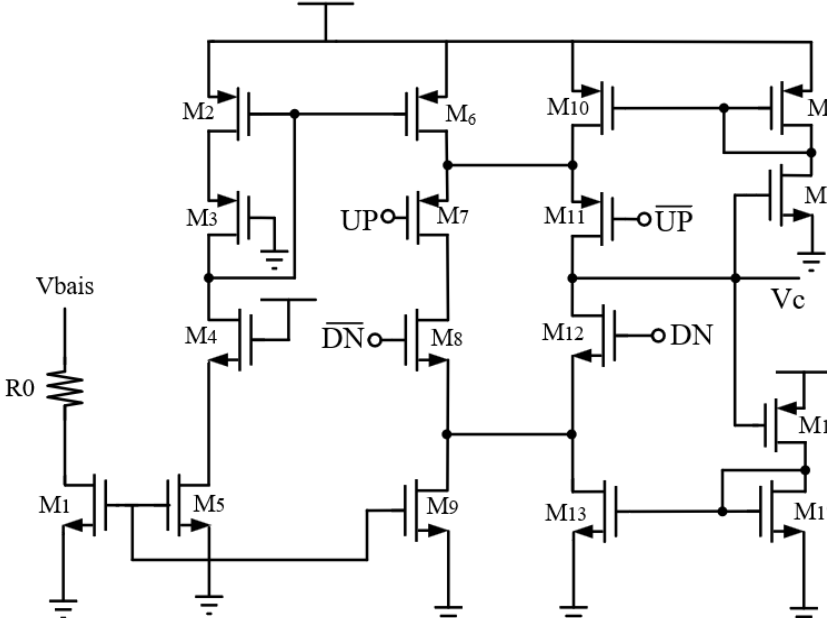
2. 相位頻率偵測器



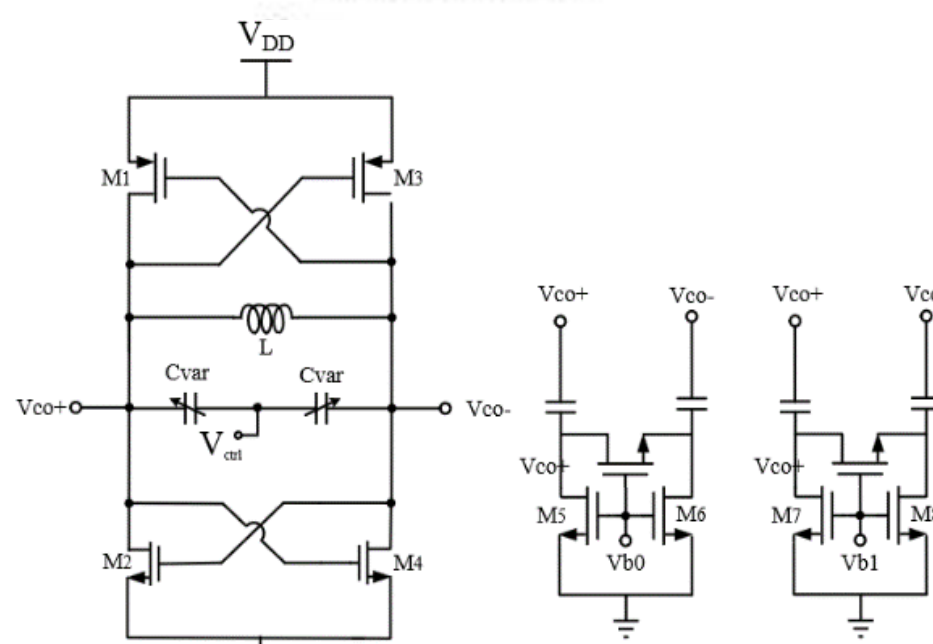
3. 動態電路架構



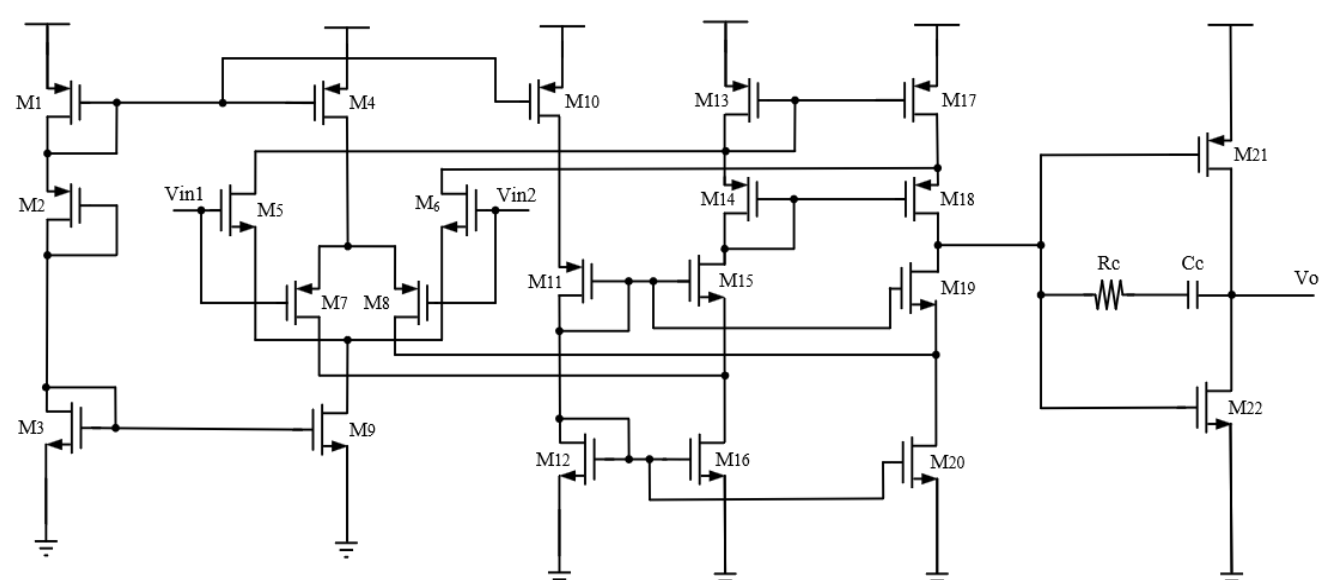
4. 電荷幫浦



5. LC 振盪器

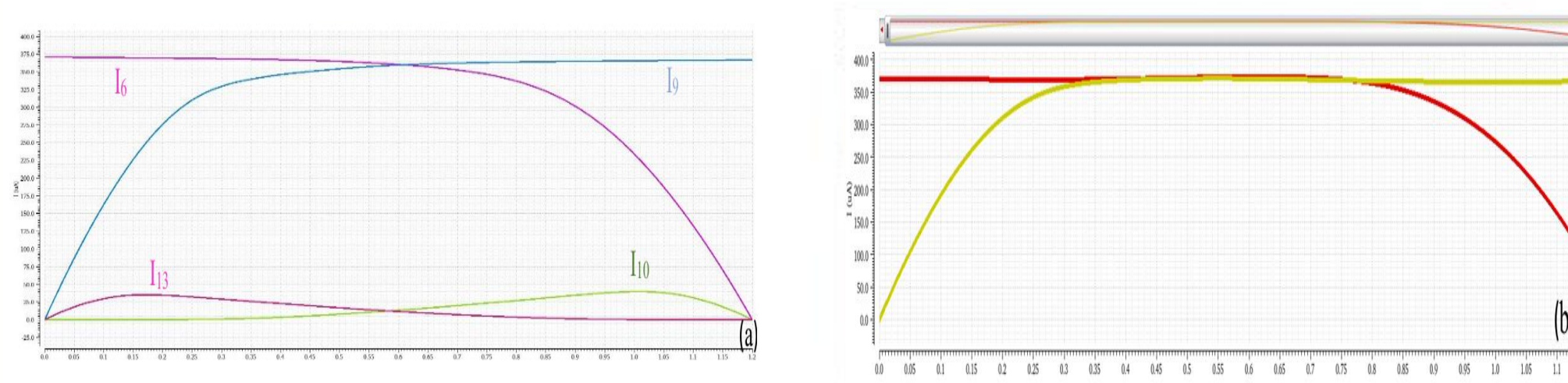


6. 軌對軌運算放大器

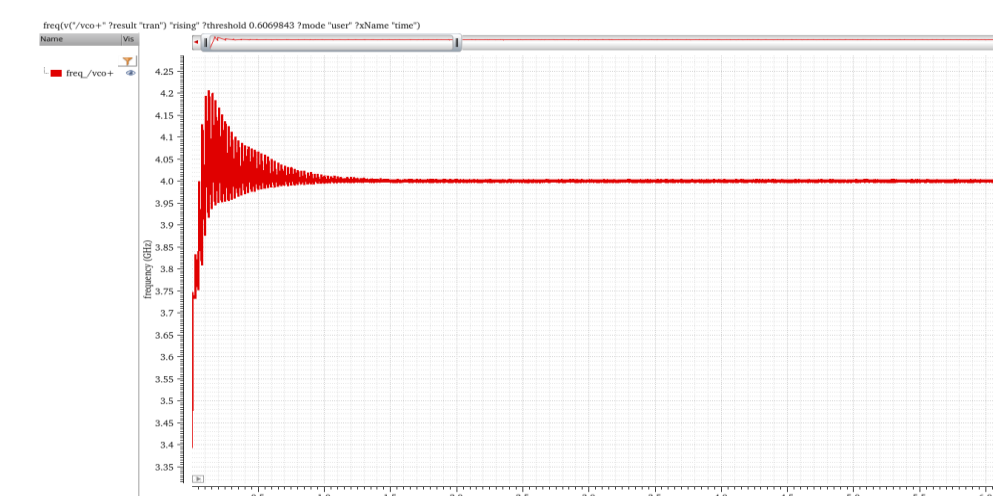


結果與討論

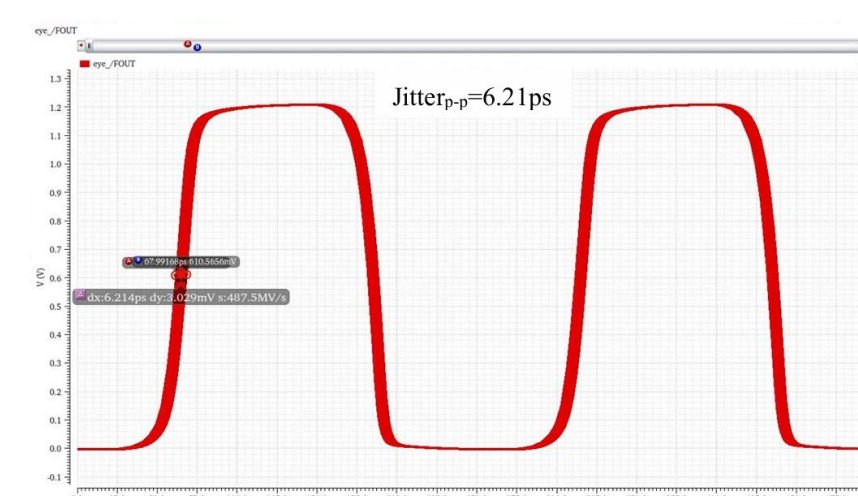
1. CP 電流匹配模擬 (a)補償前模擬結果 (b)補償後模擬結果



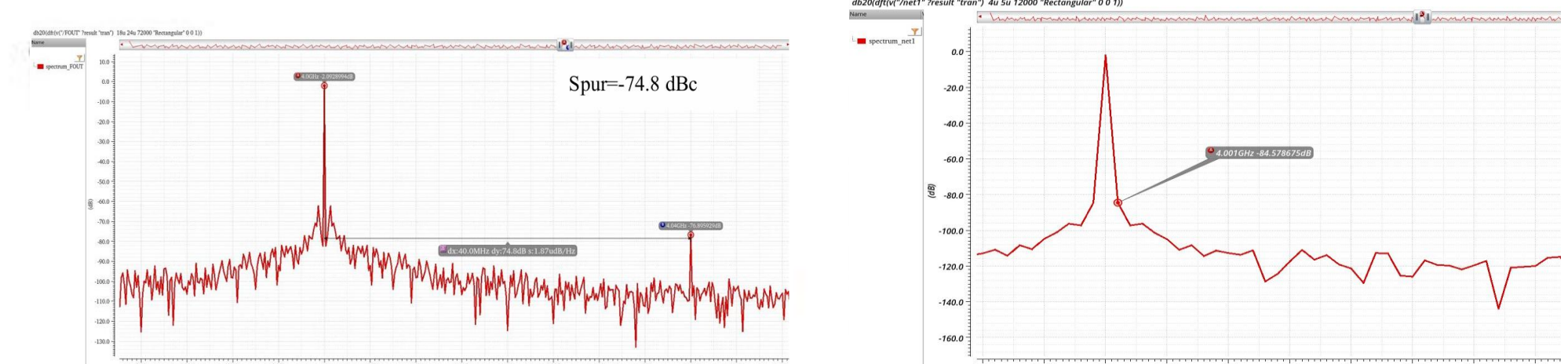
2. Vout 頻率對時間波型圖



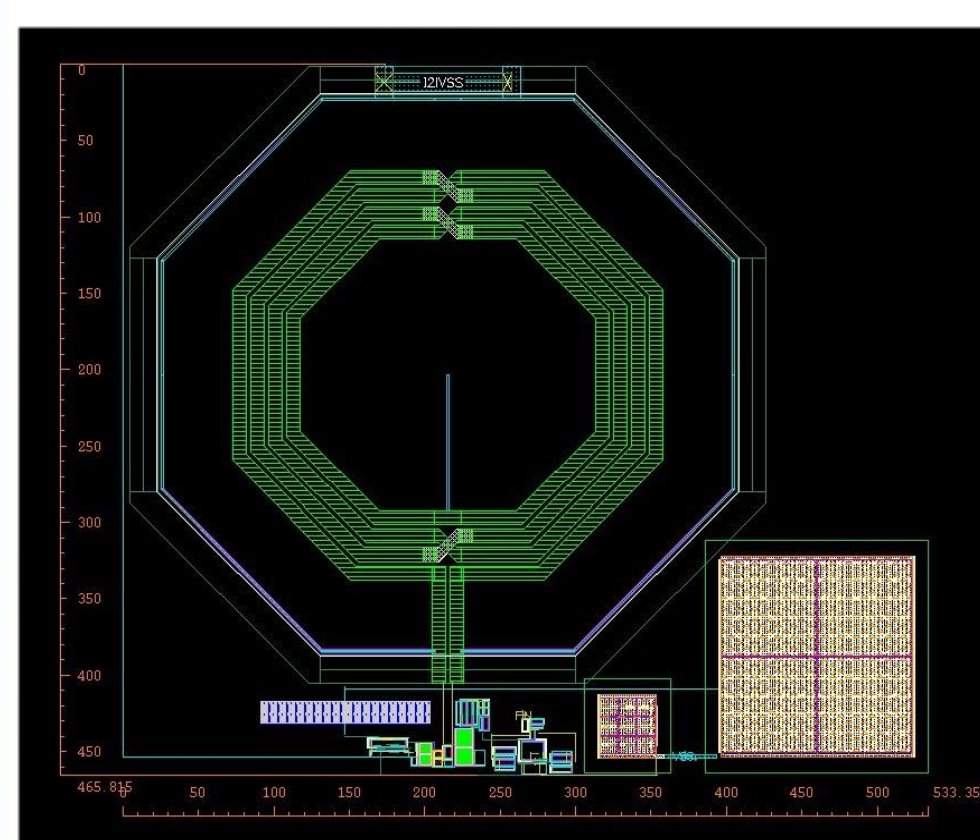
3. Vvco 的眼圖



4. Vvco 快速傅立葉轉換 (a) 參考突波 (b) 頻寬



5. 佈局架構圖



6. 文獻比較

	This Work	[3] 2023	[8] 2019	[9] 2017	[10] 2018
Tech(nm)	90	90	180	65	65
Supply(V)	1.2	0.6	1.8	0.85	1
Freq(GHz)	4	2.2-2.66	2.2	1.2	2.6-3.4
Ref(MHz)	40	60	50	24	40
Power(mW)	10.2	3.48	13.59	19.8	13.3
Ref spur(dBc)	-74.8	-69.8	-44.54	-57	-31.9
FoM	-228.2	-236.2	-230.97	-223.6	-234.3
Active Area(mm ²)	0.25	0.28	0.097	0.6	0.21

結論

本專題設計了 4GHz 整數型鎖相迴路(PLL)，在前模擬實現了具穩定性的輸出時脈信號，且其結果顯示參考突波為-80.88dBc，加雜訊 σ_{rms} (RMS Jitter)為 1.22ps，達到一開始設計的預期 Spur<-60 dBc、 σ_{rms} (RMS Jitter)<3ps。由於後模擬考慮了佈局產生的寄生電容與電阻，使得電路的整體性能較前模擬有所劣化，參考突波為-74.8dBc，加雜訊 Peak-to-Peak Jitter 為 6.21ps。

參考文獻

- [1] B. Razavi 著, 李泰成審校, 翁展翔編譯, 類比 CMOS 積體電路設計. 東華書局, 2017.
- [2] 劉深淵 & 楊清淵, 鎖相迴路. 滄海書局, 2006.
- [3] 彭筠, "0.6V 供應電壓使用脈波寬度電流轉換電路之 2.5GHz 的頻率合成器", 碩士論文, 國立中興大學電機工程學系碩士班, 台中, 2023.