

一個使用單調電容切換程序每秒採樣5千萬次 10位元之循序漸進式類比數位轉換器

組員：電機四 蕭鈺儒

此類比數位轉換器輸入 CLK 之 Duty-cycle 為 25%、使用 N-Type 比較器等技巧增加電路比較時間及比較速度，使在 T18 製程中仍能在取樣速度頻率 50MS/s 輸出解析度 10-bits 的訊號。本設計在 CLK=1 時會將電容放電，在比較運算後針對電容充電，因此較為省電。晶片之 Active Area 為 $0.061(mm^2)$ ，ENOB pre-sim 為 9.98(bits)，post-sim 為 8.08(bits)，功率消耗 3.09(mW)。

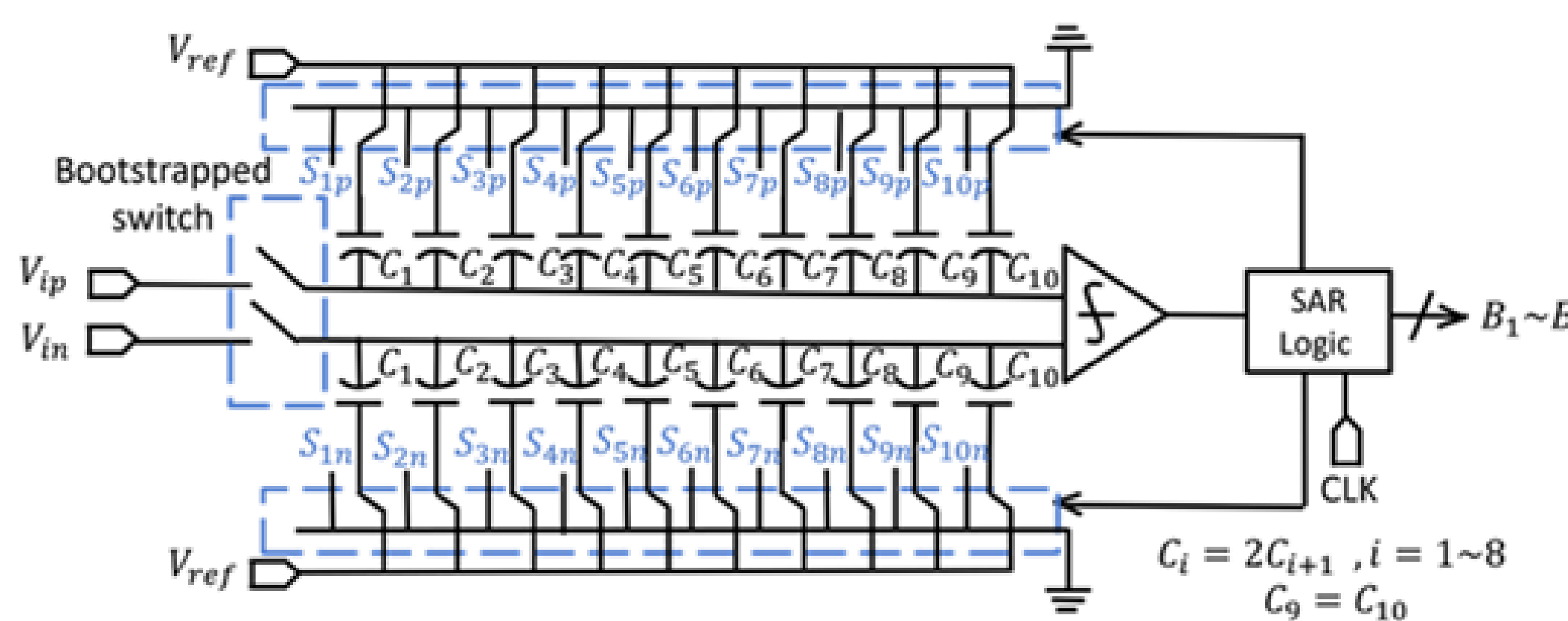


Fig.1 SAR-ADC 架構圖

此架構優點為低耗電、低延遲時間和高準確度。

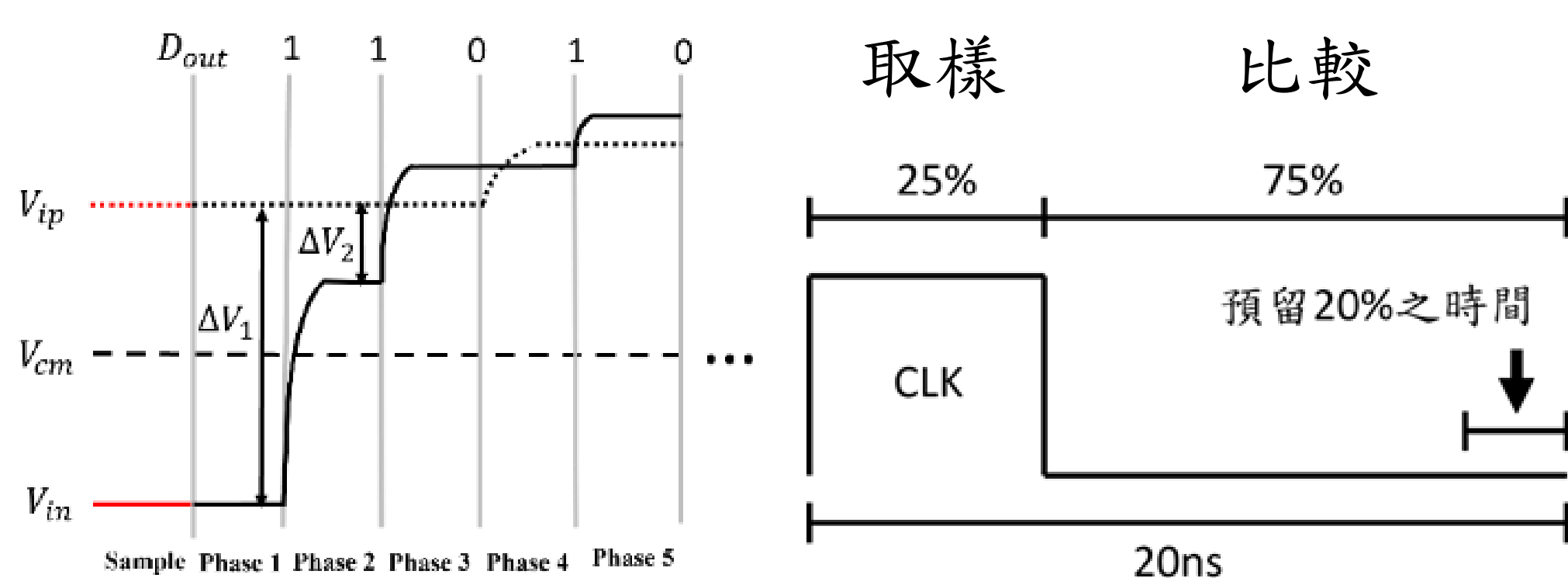


Fig.2 電壓切換圖

Fig.3 CLK 與電路運作關係

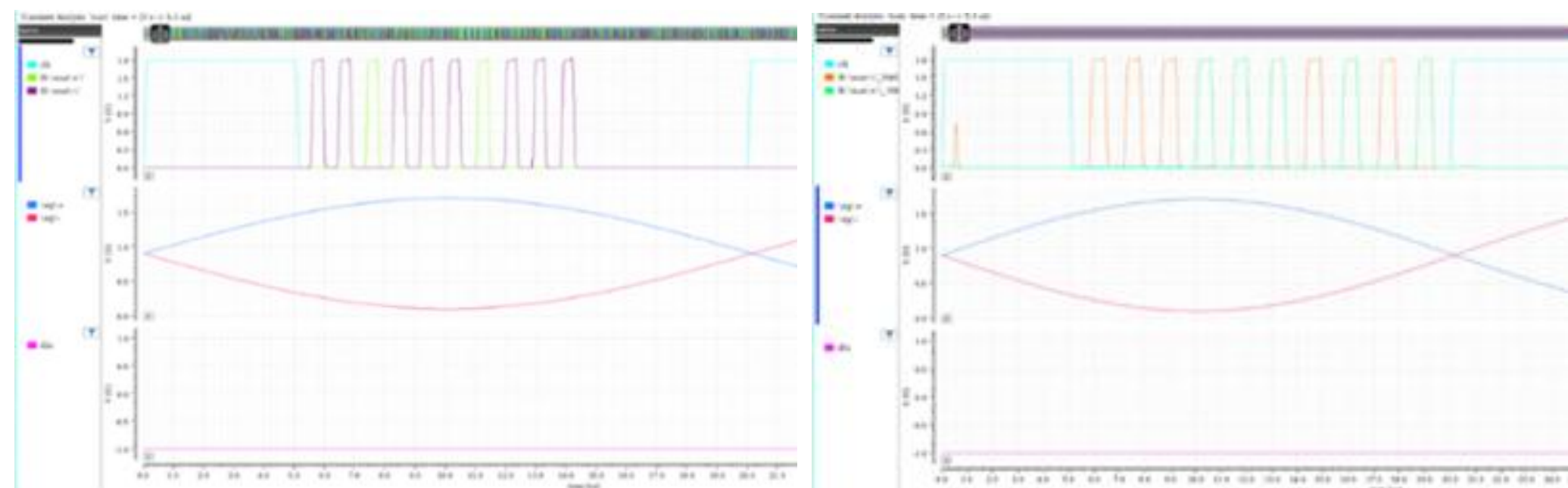
SAR-ADC 線性度誤差的主因是電容陣列不匹配，電容大小與 Noise (SNR)、Mismatch (σ_{INL}) 有關。

$$SNR = 10 \log \frac{V_{sig_rms}^2}{(\sqrt{\frac{2KT}{C_{total}}})^2 + (\frac{V_{LSB}}{\sqrt{12}})^2} \dots(1)$$

$$\sigma_{INL} = \frac{A_c}{\sqrt{C_{unit}}} \times \frac{\sqrt{2^{(N-1)}}}{2} = \frac{V_{LSB}}{3} \dots(2)$$

K 為波茲曼常數，T 為絕對溫度(300K)， σ_{INL} 為 INL 之標準差， A_c 為 PDK Mismatch Model 之斜率(約為 5%)，N 為解析度(10Bits)。

比較 Noise 與 Mismatch，可知在高解析度 SAR-ADC 中，主要由 Mismatch 決定單位電容值。



Transient analysis (Fig.4 Pre-sim/ Fig.5 Post-sim)

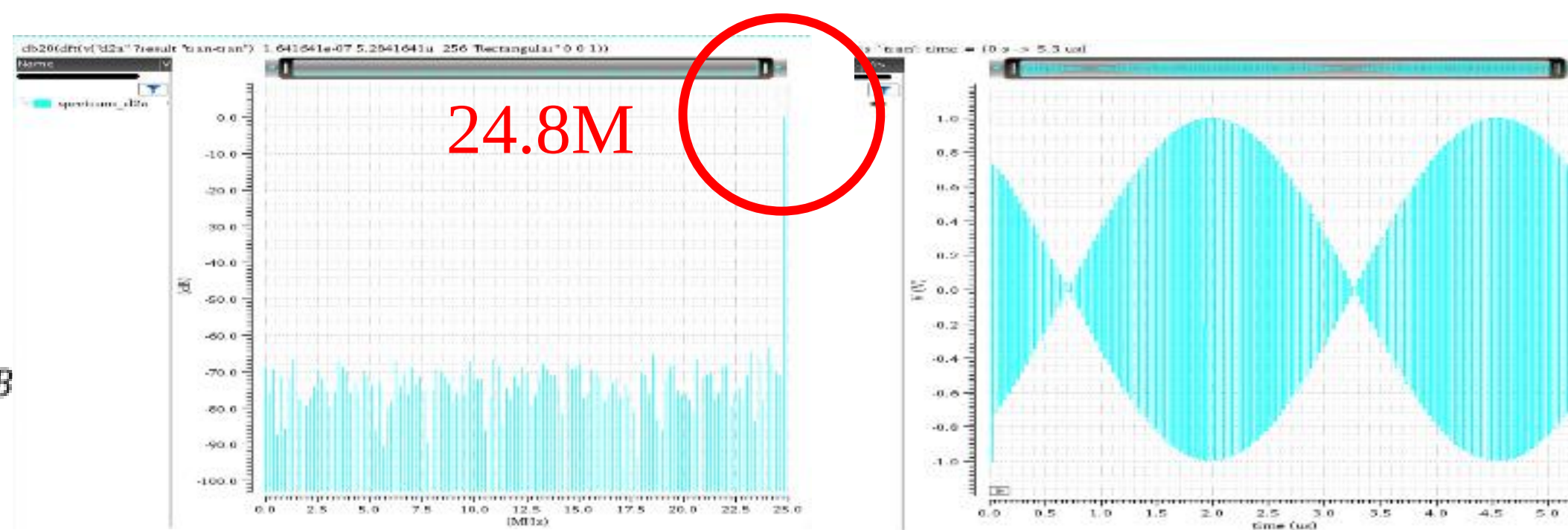


Fig.6 D to A FFT/ Fig.7 Reconstruct Waveform

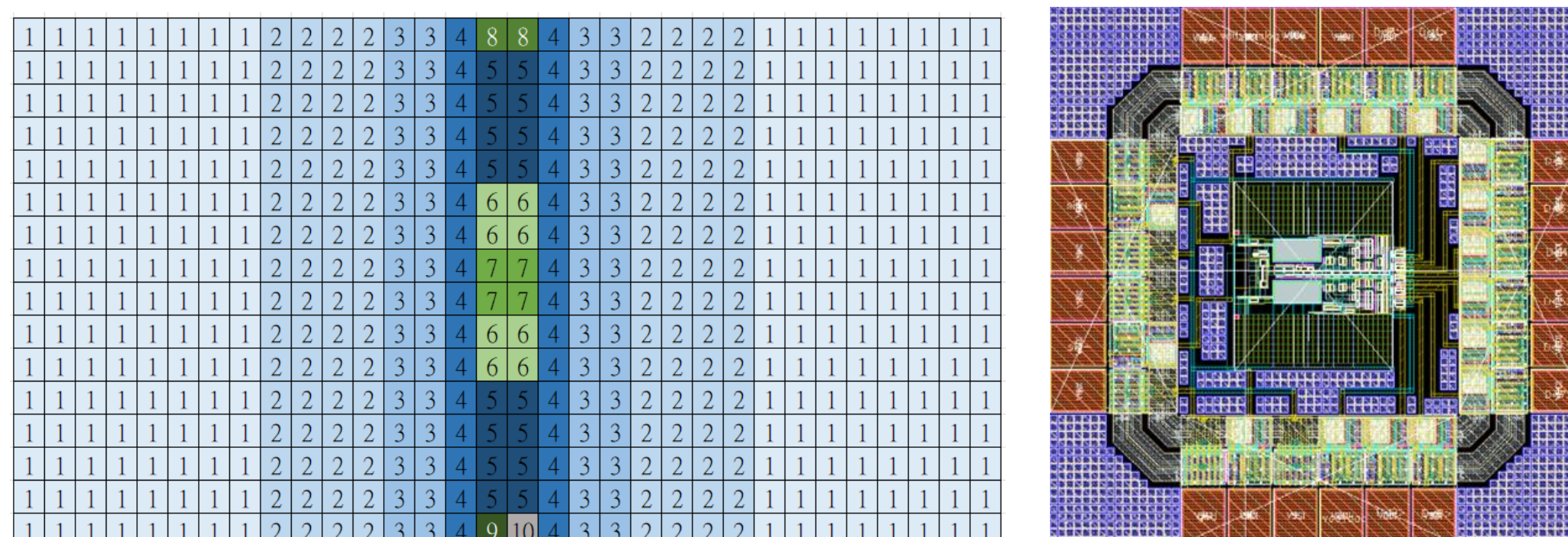


Fig.8 電容佈局 / Fig.9 Layout($0.758 \times 0.758 mm^2$)

預計規格列表

Specification	[1]	Pre-sim	Post-sim
Technology (nm)	130	180	
Power Supply (V)	1.2	1.8	
Sampling Rate (MS/s)	50		
Resolution (Bits)	10		
Sampling Capacitance(pF)	2.5	3.13	
Input CM Voltage (V)	0.6	0.9	
Input Range (V_{p-p})	2	1.6	1.52
ENOB (bits)	9.18	9.98	8.08
Power (mW)	0.83	3.49	3.09
Active Area (mm^2)	0.05	X	0.061

參考文獻

[1] C. Liu, S. Chang, G. Huang and Y. Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure", IEEE Journal of Solid-State Circuits, VOL.45, NO.4, Page 731-740, April 2010.