

The Design of LCVCO Based TypeII

4rd-order 16GHz PLL

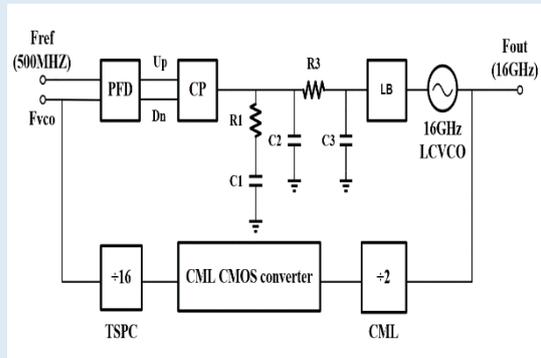
組員:電機四 葛于全

一、設計大綱

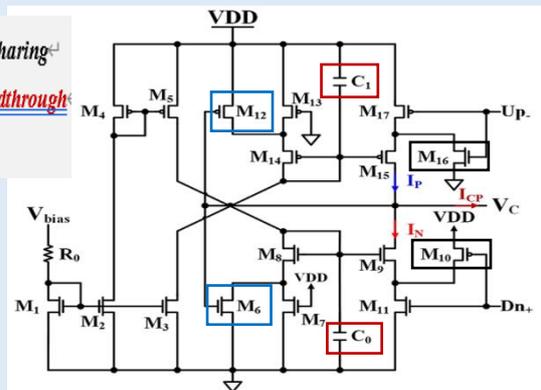
本專題設計了一個以 16GHz LC 壓控振盪器 (LCVCO) 為基底的 PLL 架構，透過 Matlab 與 Simulink 進行參數設計，確保整個 PLL 系統在高頻穩定運作和低抖動性能。系統以 500MHz 為參考信號，經相位頻率偵測器 (PFD)、充電泵 (CP) 與三階低通濾波器產生控制電壓，驅動 LCVCO 生成 16GHz 高頻信號。信號經 CML 除頻器與 TSPC 數位分頻器處理，最終生成 500MHz 回授至 PFD 完成相位同步。

二、電路架構

(1) PLL structure



(2) CP structure



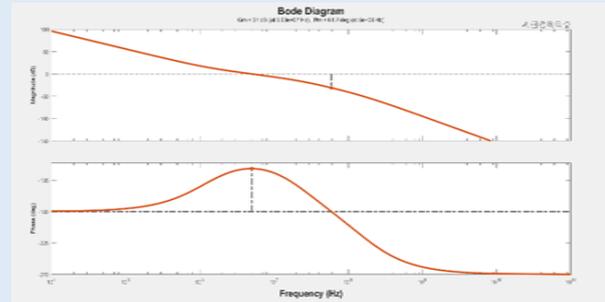
$M_{10} \cdot M_{16}$: Charging Sharing

$C_1 \cdot C_0$: Clock Feedthrough

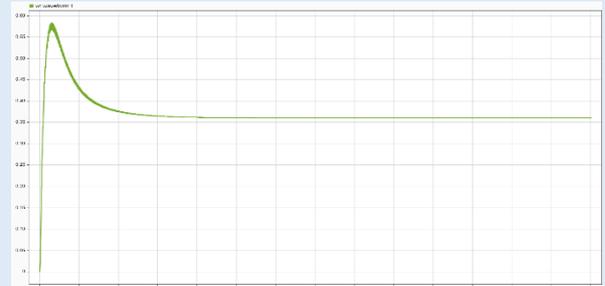
$M_6 \cdot M_{12}$: Feedback

三、MATLAB 參數設計

(1) Bode diagram



(2) Vc Transient Response



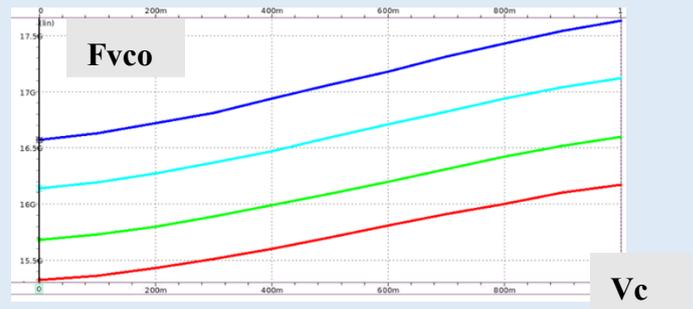
(3) 設計出的各個參數

I_{cp}	200uA
Divider ratio	32
Fref	500MHz
Bw	10MHz ($\frac{1}{50} F_{ref}$)
K_{vco}	1GHz/v
Phase margin	61.7°
C_1	23.9pF
C_2	1.41pF
C_3	141fF
R_1	5.29kΩ
R_3	6.75kΩ

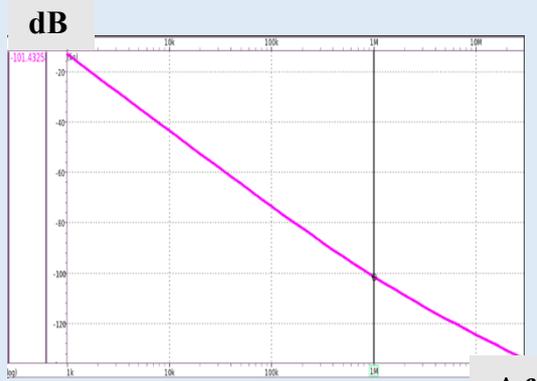
四、模擬結果

LCVCO

(1) kvco = 1

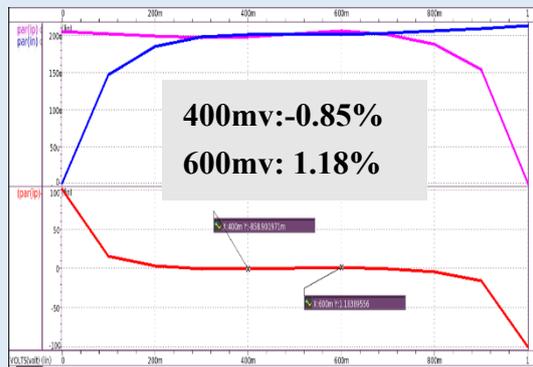


(2) phase noise = -101.43dB(@1MHZ)



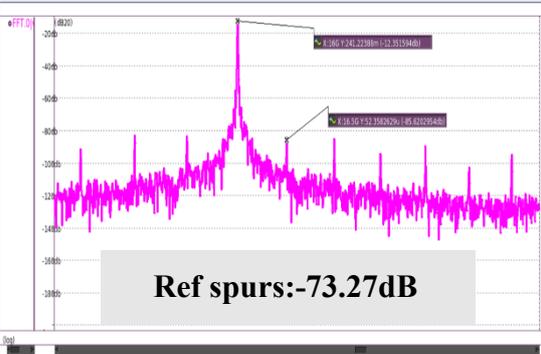
CP

(1) current mismatch

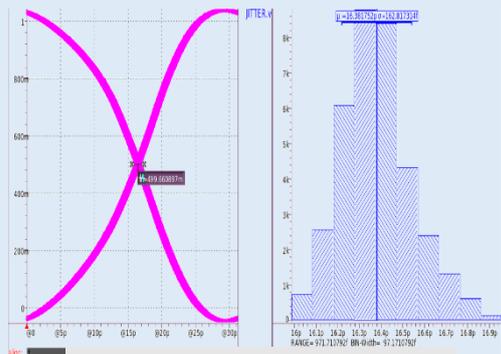


PLL

(1) FFT measurement

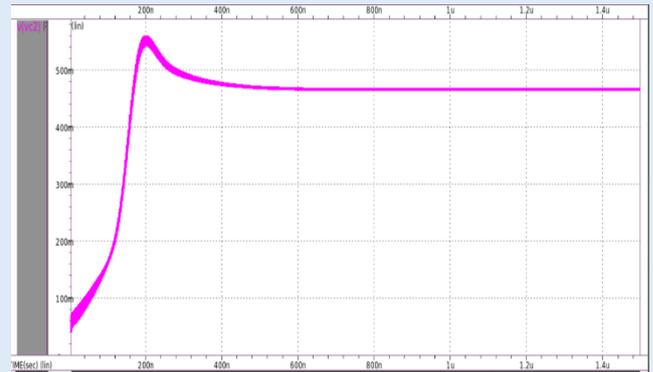


(2) Jitter Measurement



RMS jitter:162.81f

(3) Vc Transient Response



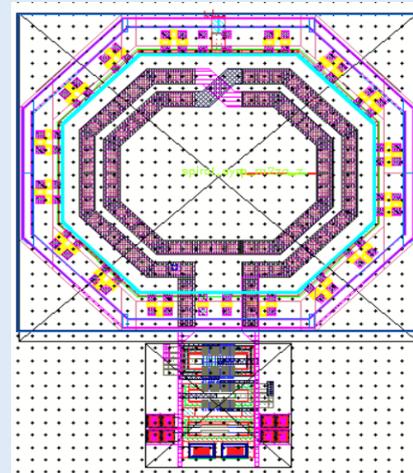
(4) PLL 規格表

Frequency	16GHz
Fref	500MHz
Power	9.349mW
RMS Jitter	162.81f
Ref Spurs	-73.27dB
Vdd	1v
Tech.	40nm
FoM	-246dB

$FoM = 10 \log_{10} \left[\left(\frac{Jitter}{1s} \right) \left(\frac{Power}{1mw} \right) \right]$

五、Layout 圖

LCVCO



六、結果與討論

本專題的 PLL 的 RMS Jitter 尚有提升空間。影響可能來自充電幫浦的電流不匹配、LC 振盪器的相位雜訊及內部熱雜訊。未來希望透過優化充電幫浦設計、提升 LC 振盪器品質因數，以及改進濾波器參數設計，以滿足高速應用對低抖動的需求。