

具兩階前饋式等化器之四階振幅56-Gb/s傳送機設計

組員：電機四 呂泓倫

動機與目的

本研究致力於設計一個56-Gb/s的PAM-4傳送機，利用該技術減少通道和引腳數目，從而降低通信成本，並提高傳輸效率。且驗證該設計在增強傳輸速度及透過補償抵抗通道損耗的效果。

電路架構

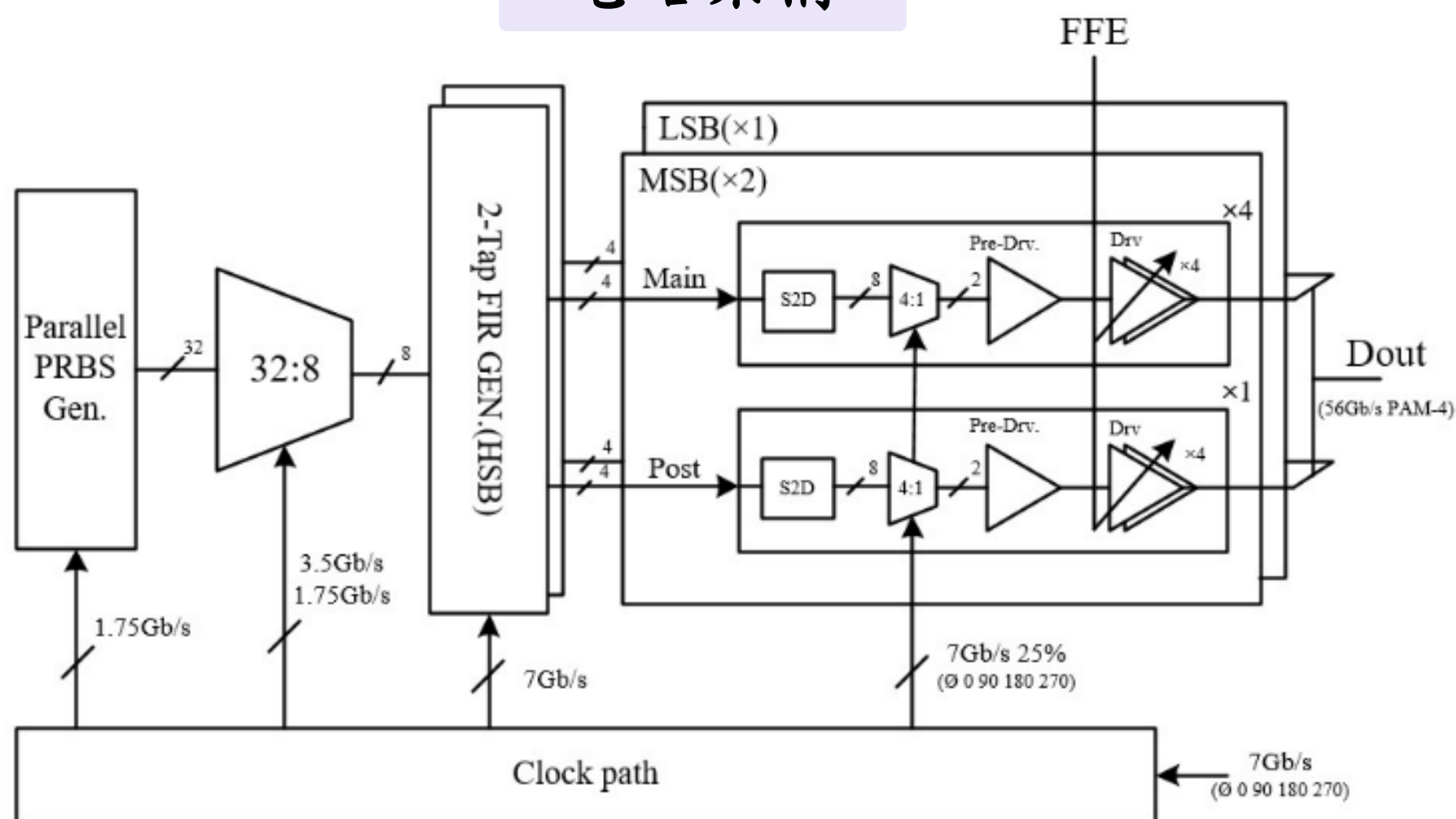


圖1、56Gb/s PAM-4傳送機整體架構圖

驅動器採用低功耗的電壓模式架構，利用impedance control loop抵抗製程變異，且於pre driver加入tri-state inverter控制FFE補償。

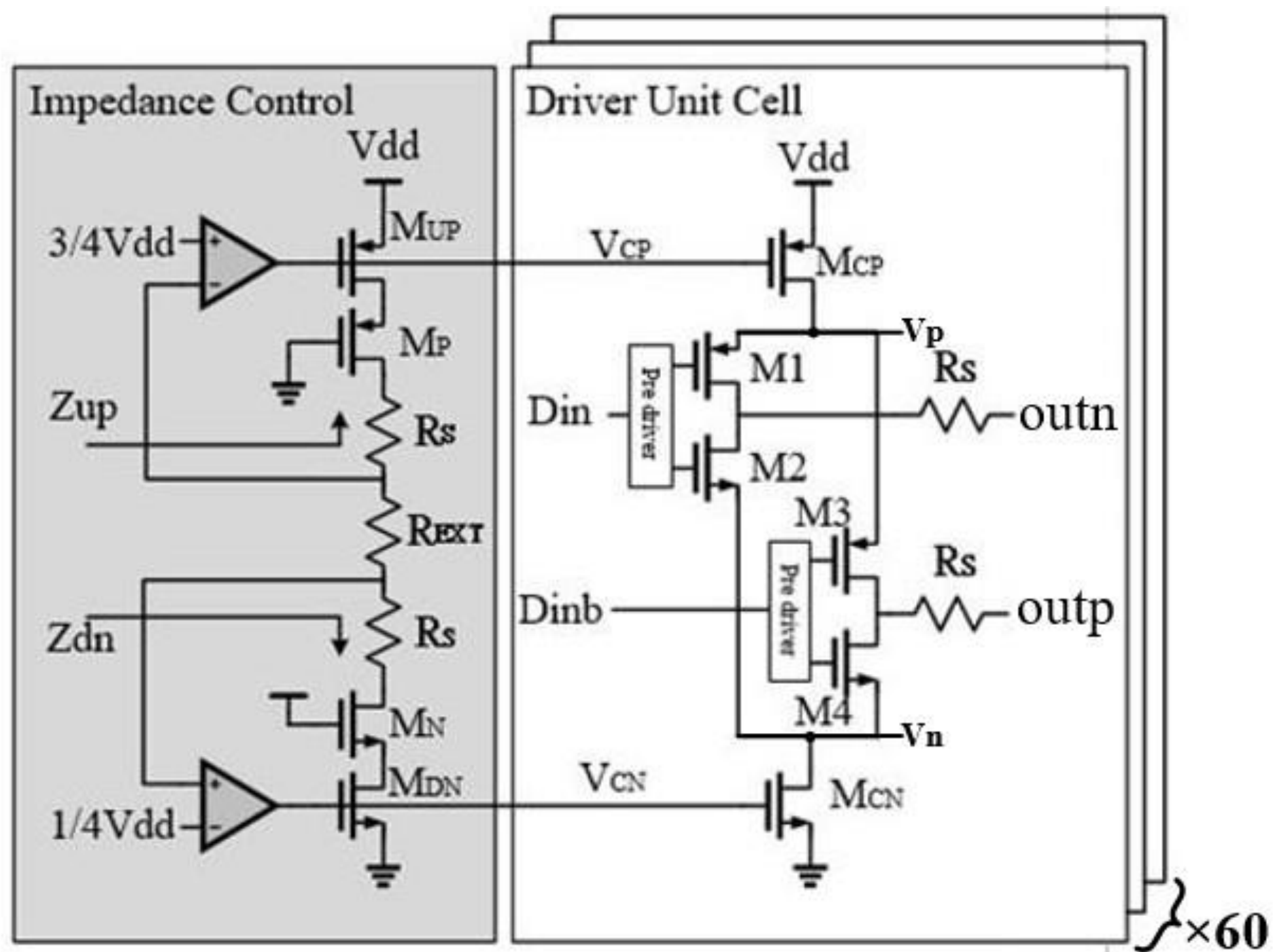


圖2、驅動器電路圖

本電路具2-tap FFE，如圖3，補償為後趨(post)數據N，主數據為N-M。圖3的等效電阻Z為圖2中部分Driver Unit Cell的等效電阻，對應如下：

$$Z = R_{on}(M_{CP}) + R_{on}(M_{1/3}) + R_s \\ = R_{on}(M_{CN}) + R_{on}(M_{2/4}) + R_s$$

切片數範圍：N=48($Z_0 = 50 \Omega$)、M=0-9。補償所影響輸出擺幅：

$$V_{out} = \frac{N - 2M}{2N} V_{dd}$$

藉由調節N數量42至51，可算出最大補償量為4.8-dB，且可匹配約9%的不同通道特性阻抗。

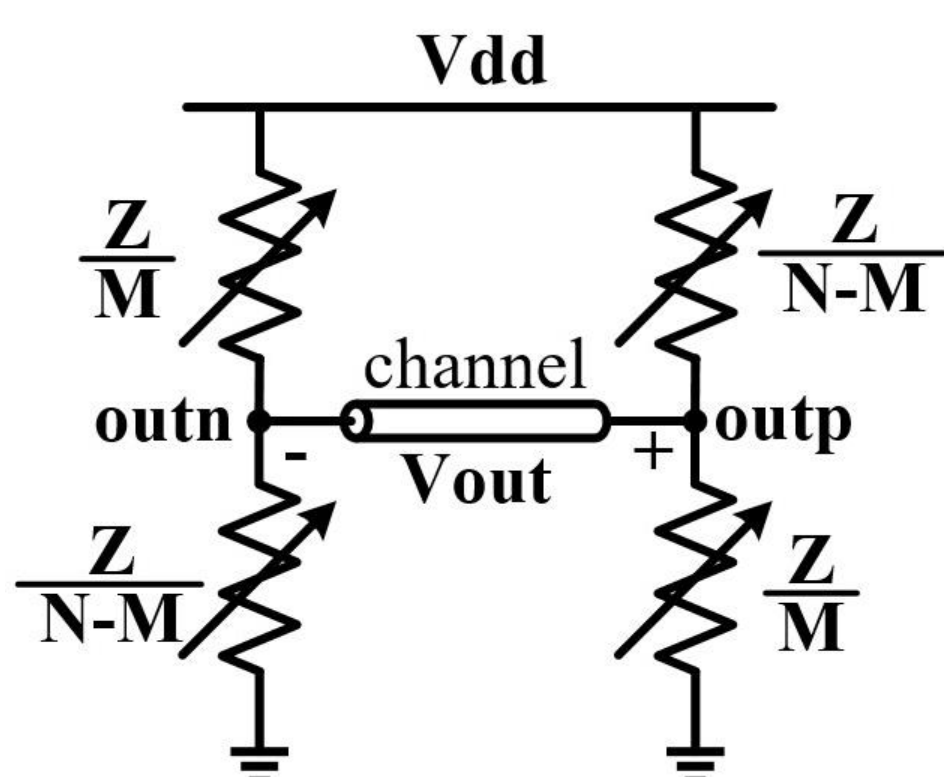


圖3、FFE原理圖
(Driver slice等效)

為了產生PAM-4訊號，如圖4所示，將圖3的N分解為MSB及LSB (2:1) 結合輸出。

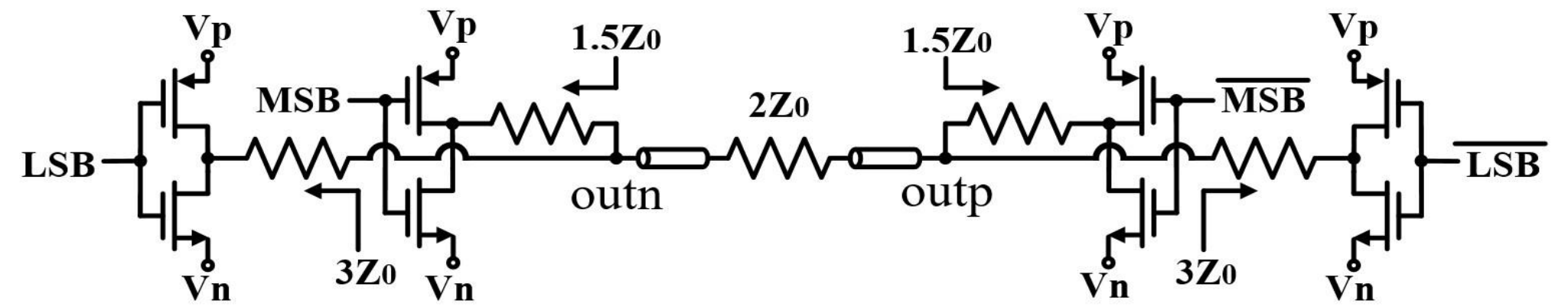


圖4、PAM-4架構 (Driver slice等效)

模擬結果與比較

模擬環境如圖5，14GHz尼奎斯特頻率損耗3.8-dB，調節切片M=48、N=9作為補償。最終功耗如圖6，功率效率2.51pJ/bit。

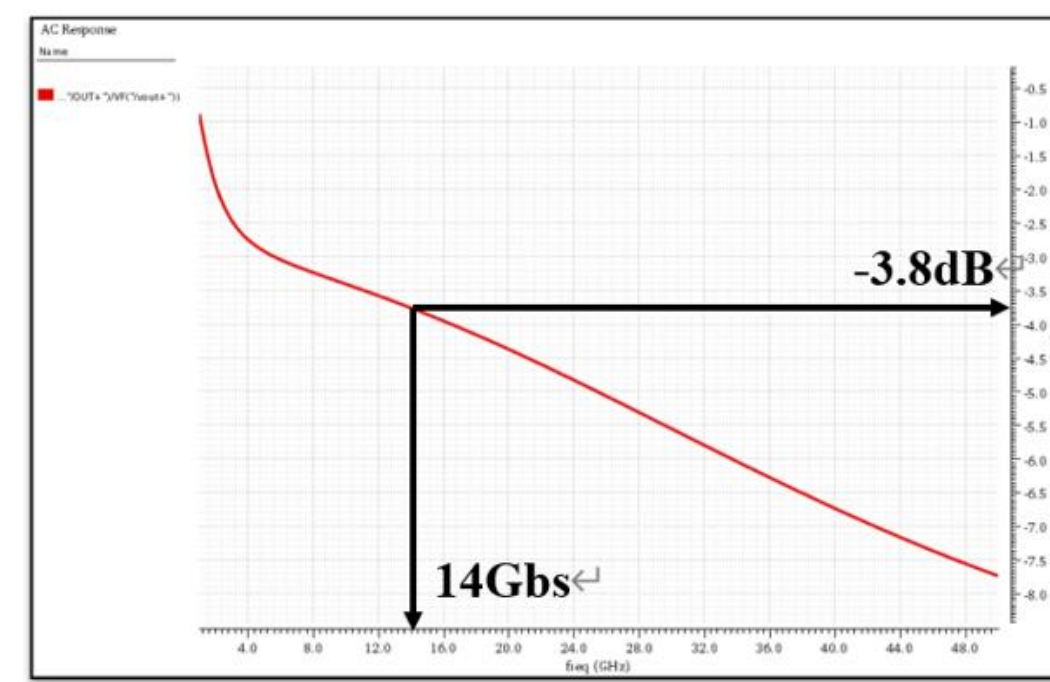


圖5、通道響應

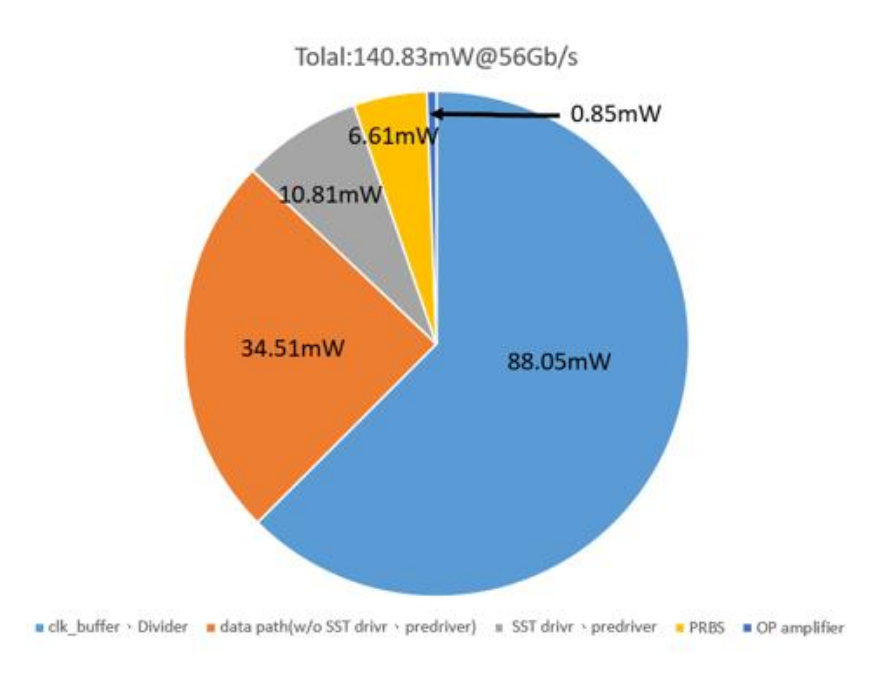


圖6、傳送機功耗圖

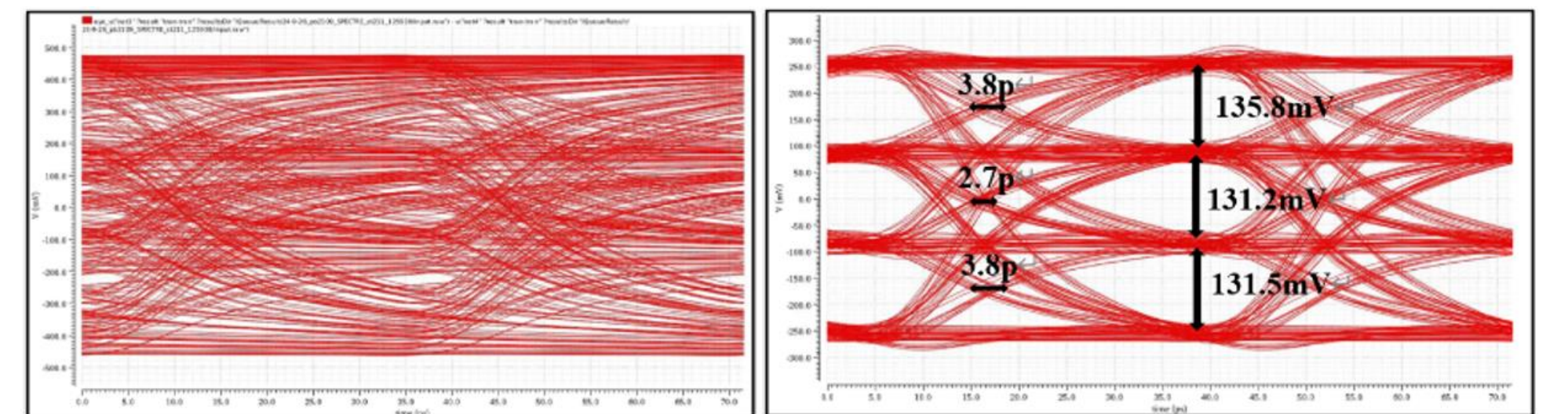


圖7、(左) w/o FFE (右) w/ FFE eye diagram

	[1]	[2]	[3]	[4]	This Work
Technology(nm)	16	40	28	40	40
Data Rate (Gb/s)	32.75	28	32	28	56
Modulation	NRZ	NRZ	PAM-4	NRZ	PAM-4
Output Driver Type	SST	SST	SST	CML	SST
FFE compensation	3-tap	3-tap	3-tap	3-tap	2-tap
Jitter(ps)	6.49	8.9	N/A	N/A	3.8
Power (mW)	120.8	80.16	77.9	200	140.83
Power Eff. (pJ/bit)	2.44	2.86	2.4	3.57	2.51

表1、與其他參考文獻比較表

結論

本設計相較使用 CML Driver 的研究 [4]，在功耗上有顯著提升；與相同製程的 NRZ 設計 [2] 相比，傳輸速度和功率效率 (J/bit) 表現更佳；對比研究 [1] 和 [3]，在使用相對低製成的情況下可達到極高的傳輸速度。然而，該設計雖達成了傳輸速度倍增與功耗效率優化，但因僅具備 2-tap 補償，在長距離傳輸能力及整體功耗上仍有改進空間。

參考文獻

- [1] K. L. Chan, et al., IEEE A-SSCC (2016) 233-236.
- [2] 林伯彥，國立中興大學，碩士學位論文(2024).
- [3] F. Celik, et al., IEEE Trans. VLSI Syst. 29 (2021) 1132.
- [4] P. J. Peng, et al., IEEE ISSCC (2017) 110-111.