

碎形電容結合耦合器之特性設計

Wen-Hsiang Huang
Department of Electrical Engineering
National Chung-Hsing University

摘要:

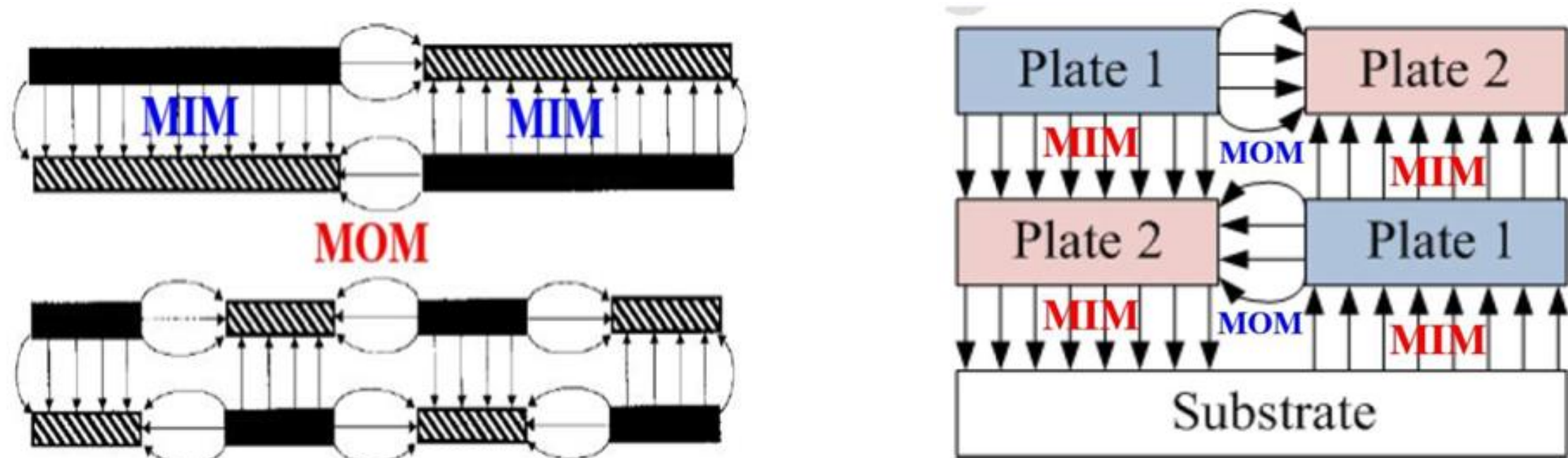
設計研究於 0.18um 製程中碎形電容元件結合耦合器之應用，在 0~30GHz 的特性設計與研究。以便應用於耦合器中，經過模擬結果顯示，在高精度的製程設計中，金屬側面橫向電場電容的比重，將會超越金屬正向平行電場電容。並在耦合線圈中加入碎形電容元素，以增加耦合量，並以耦合器以及奇偶模理論分析不同的碎形方式對於耦合器的影響。

研究方法:

應用製程技術實作半導體碎形電容器與電感器。然而碎形產生技術的方法各有不同，所形成的形狀也五花八門。而在各種不同應用中，各種碎形圖紋也各有所長。從過去文獻探討中，並沒有對各式各樣的半導體碎形元件，有統一通用的設計與簡易產生方法。也沒有對各式各樣的半導體碎形元件，建立一個簡單的近似估算模型。本研究利用 Tanner EDA 來自動碎形電容器，並透過製程實作與量測分析，使之能在佈局設計階段，就可簡單快速地估算碎形電容器的電容值及碎形電感器的電感值。

碎形與半導體電容器簡介:

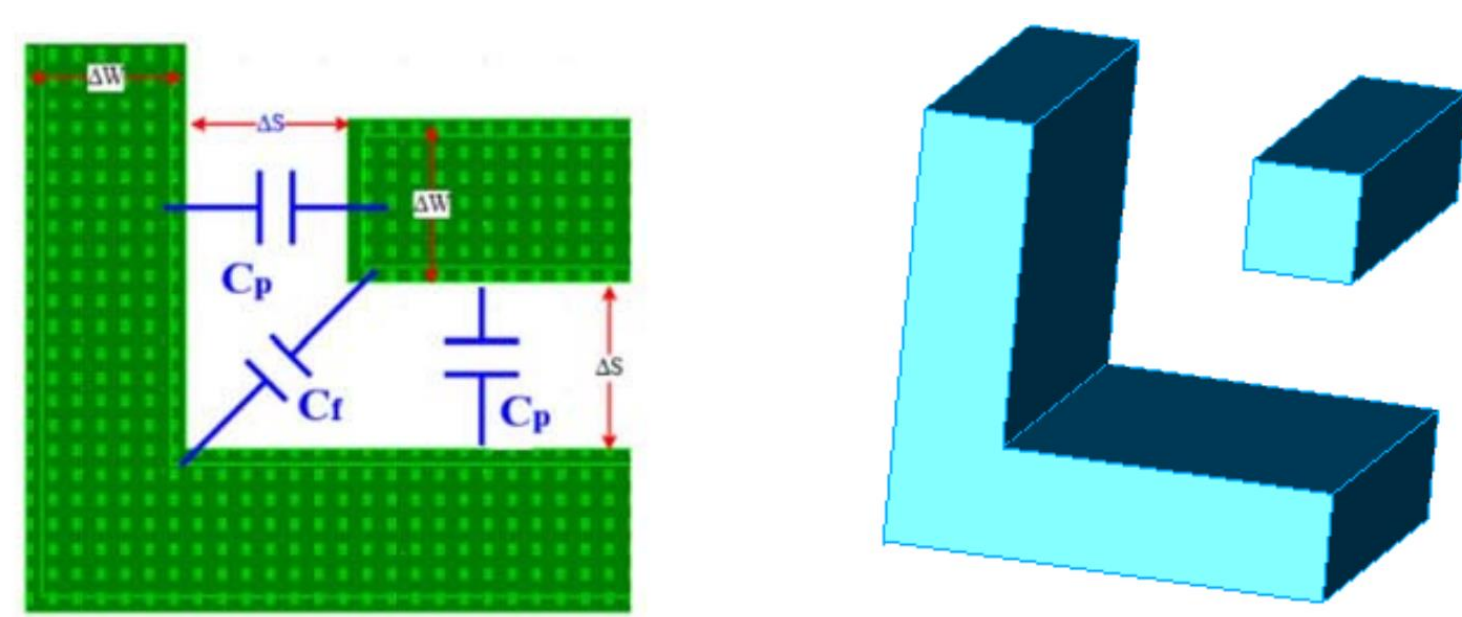
碎形又稱分形、殘形，通常被定義為「一個粗糙或零碎的幾何形狀，可以分成數個部分，且每一部分都是整體縮小後的形狀」，即具有自相似的性質。在半導體電容器的應用發展中，以 MIM & MOM 兩種結構(下圖)的電容器被普遍使用。MIM & MOM 結構示意。而由於製造的光罩製程技術進步，層內 XY 水平面最小限制尺寸的快速精進，使得 MOM 橫向電場電容器的電容密度，隨著製程最小尺寸的精進與縮小，趕上了層間 MIM 縱向電場電容器。



碎形容值估算:

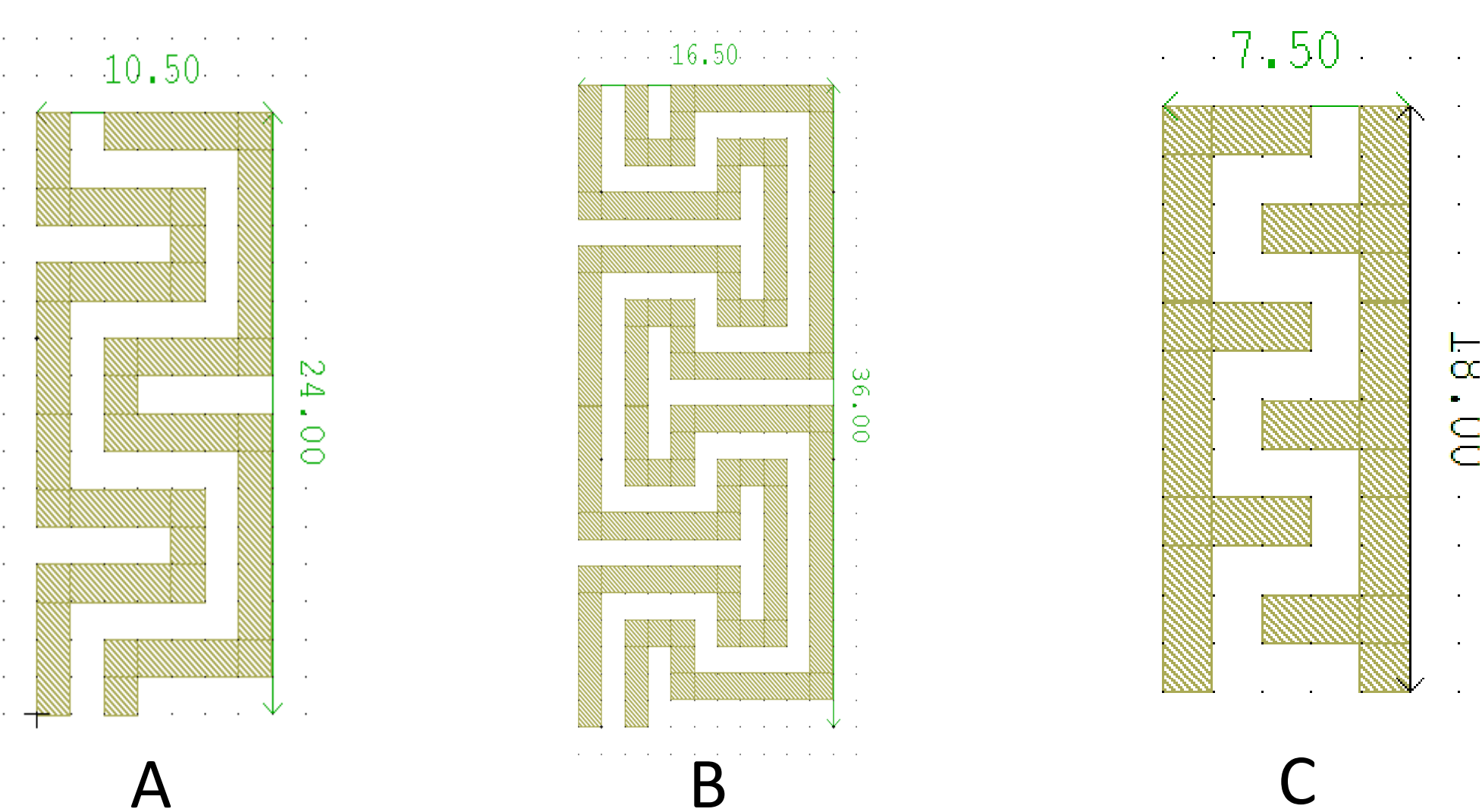
當我們碎化至晶片製程最小間隙與寬度限制時，我們分別定義單位直通電容(Cp)與單位彎角電容(Cf)，如下圖。若不考慮基底寄生與元件外圍的耦合電容效應，其內部碎型的橫向電場電容(C)值為集總兩單位直通電容Cp與單位彎角Cf的總和，可以表示為

$$C = N_p \times C_p + N_f \times C_f$$



單位直通電容與單位彎角電容之頂視圖與立體圖

碎形圖案定義及期估算值:



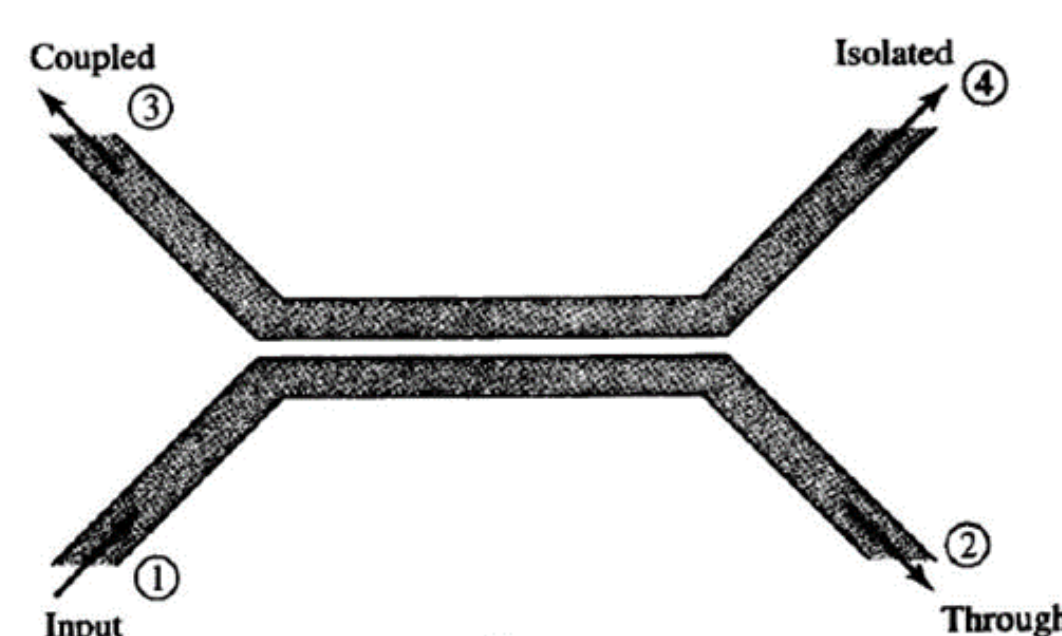
	cp	cf	size	num	length	cp/size	cf/size	cp/length	cf/length
A	24	8	252	2	24	0.0952	0.03174	1	0.333
B	56	16	594	2	36	0.0942	0.0269	1.555	0.444
C	10	12	135	3	18	0.074	0.0888	0.555	0.666

以佈局輔助工具自動產生內碎形圖騰:

本文中，利用佈局輔助工具TANNER EDA，並使用 C 語言自行編碼設計，自動碎形遞迴產生程式。可參數化的碎形電容自動佈局產生元件，設定參數即可自動產生碎形電容元件的幾何佈局。

耦合線原理及架構說明

耦合器最常由兩個耦合的傳輸線構成，這兩個傳輸線足夠靠近，使得其中一個的能量能耦合到另一個。由耦合線上下對稱的特性，使用Even mode 及Odd mode，假設其傳播速度相同並算出其S參數。



由Even Mode及Odd Mode的差和，得知耦合線的S參數表示如下

$$[S] = \begin{bmatrix} \frac{1}{2}(S_{11}^e + S_{11}^o) & \frac{1}{2}(S_{12}^e - S_{12}^o) & \frac{1}{2}(S_{11}^e - S_{11}^o) & \frac{1}{2}(S_{12}^e + S_{12}^o) \\ \frac{1}{2}(S_{21}^e - S_{21}^o) & \frac{1}{2}(S_{22}^e + S_{22}^o) & \frac{1}{2}(S_{21}^e + S_{21}^o) & \frac{1}{2}(S_{22}^e - S_{22}^o) \\ \frac{1}{2}(S_{11}^e - S_{11}^o) & \frac{1}{2}(S_{12}^e + S_{12}^o) & \frac{1}{2}(S_{11}^e + S_{11}^o) & \frac{1}{2}(S_{12}^e - S_{12}^o) \\ \frac{1}{2}(S_{21}^e + S_{21}^o) & \frac{1}{2}(S_{22}^e - S_{22}^o) & \frac{1}{2}(S_{21}^e - S_{21}^o) & \frac{1}{2}(S_{22}^e + S_{22}^o) \end{bmatrix}$$

Even Mode及Odd Mode 的ABCD參數表示如下

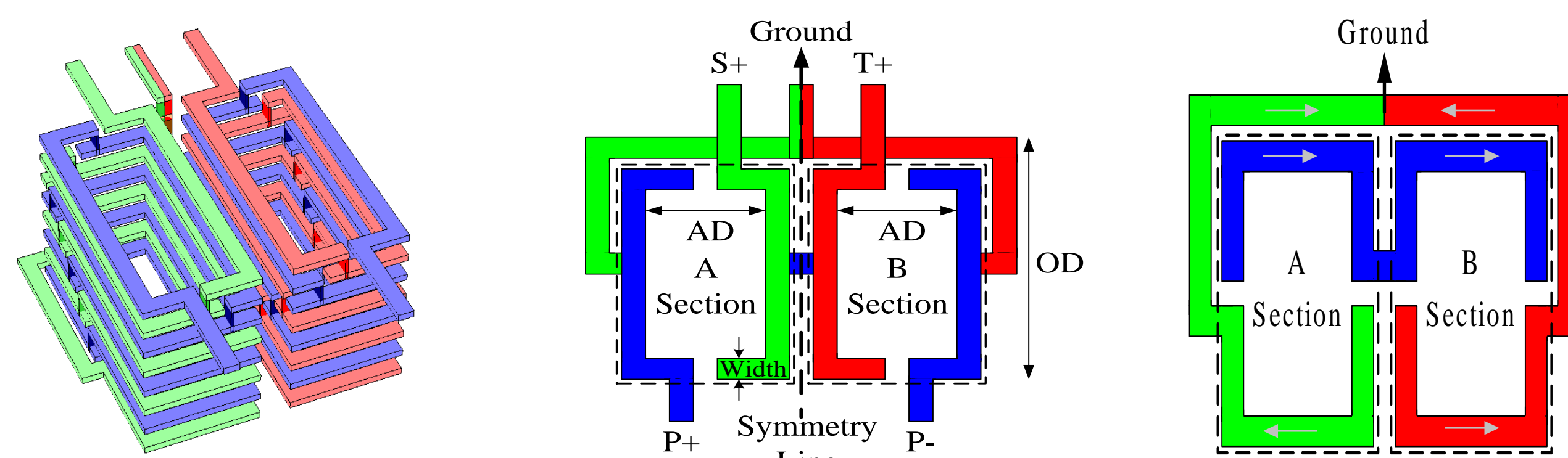
$$\begin{bmatrix} A & B \\ C & D \end{bmatrix}_e = \begin{bmatrix} \cosh(\gamma l) & \hat{Z}_{0e} \sinh(\gamma l) \\ \hat{Y}_{0e} \sinh(\gamma l) & \cosh(\gamma l) \end{bmatrix}, \quad \begin{bmatrix} A & B \\ C & D \end{bmatrix}_o = \begin{bmatrix} \cosh(\gamma l) & \hat{Z}_{0o} \sinh(\gamma l) \\ \hat{Y}_{0o} \sinh(\gamma l) & \cosh(\gamma l) \end{bmatrix}$$

由上述公式求得Z0o及Z0e，帶入耦合係數公式，比較其耦合係數。

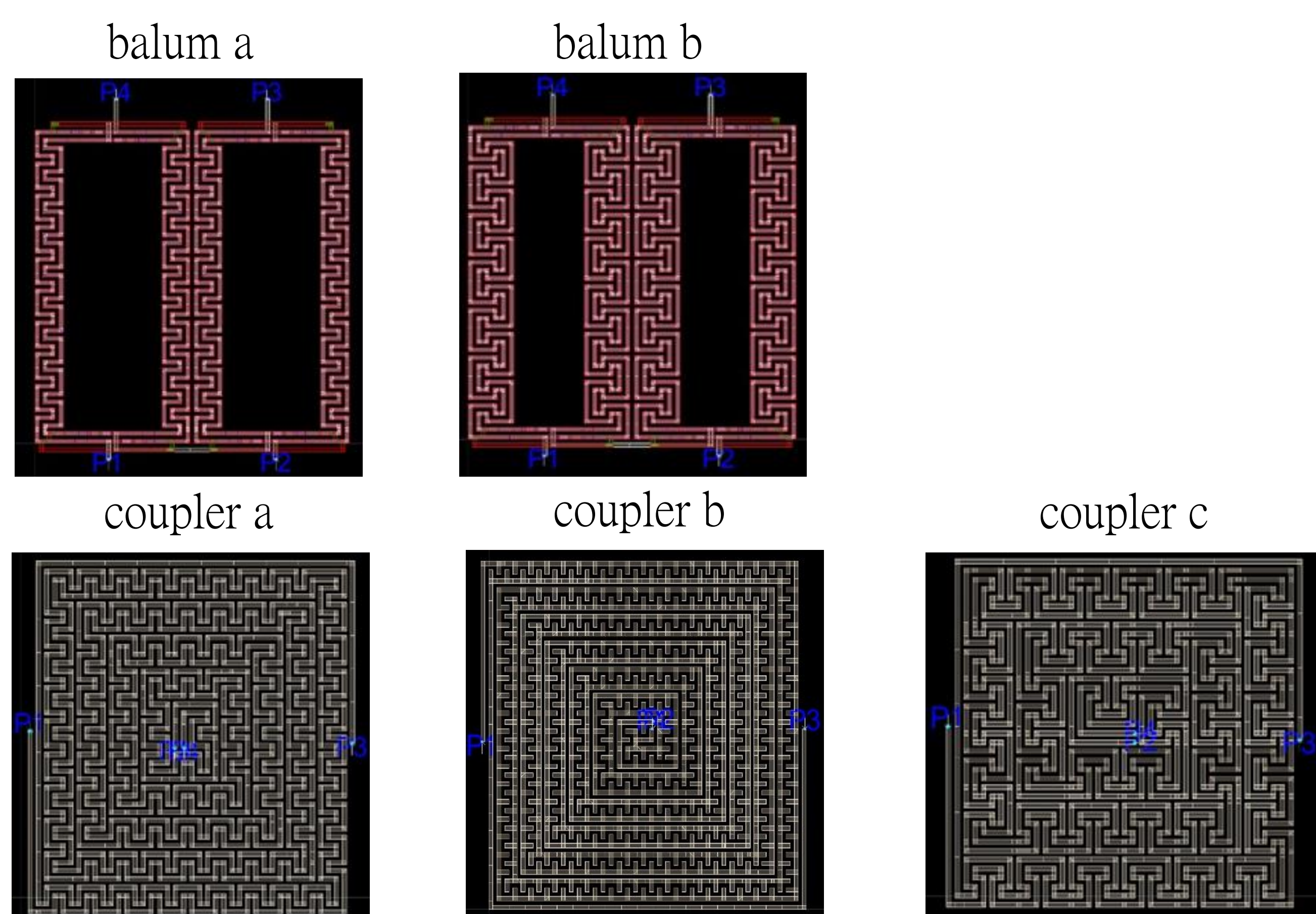
$$C = \frac{Z_{0e} - Z_{0o}}{Z_{0e} + Z_{0o}}$$

BALUN 架構

Balun為「balanced to unbalanced」之縮寫，為一種電路元件，其主要功用為將一單端訊號轉為差動訊號。下圖依序為本研究之金屬線繞線架構，在依上述的碎形方法將其形成碎形。



晶片佈局:

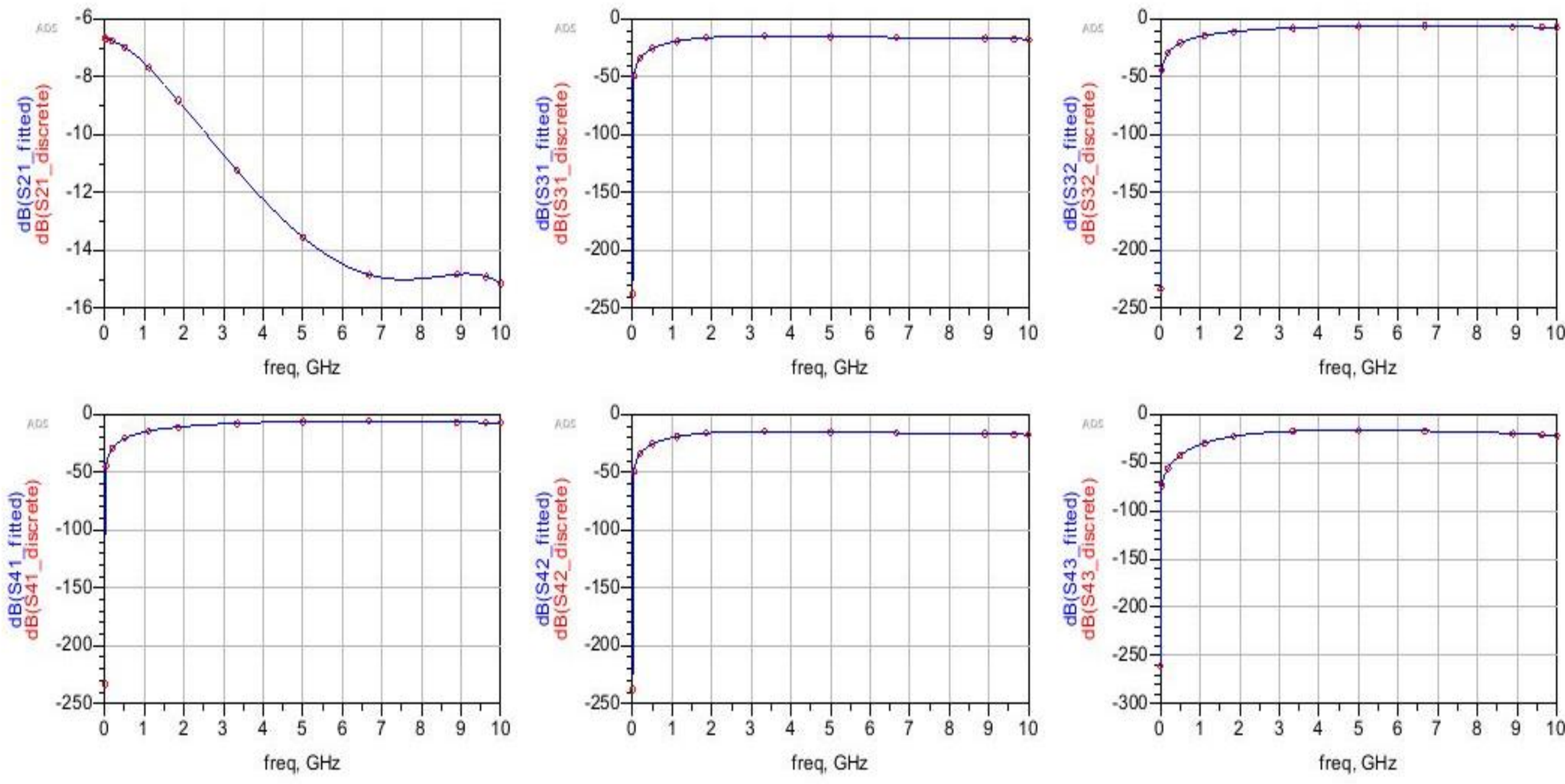


碎形電容結合耦合器之特性設計

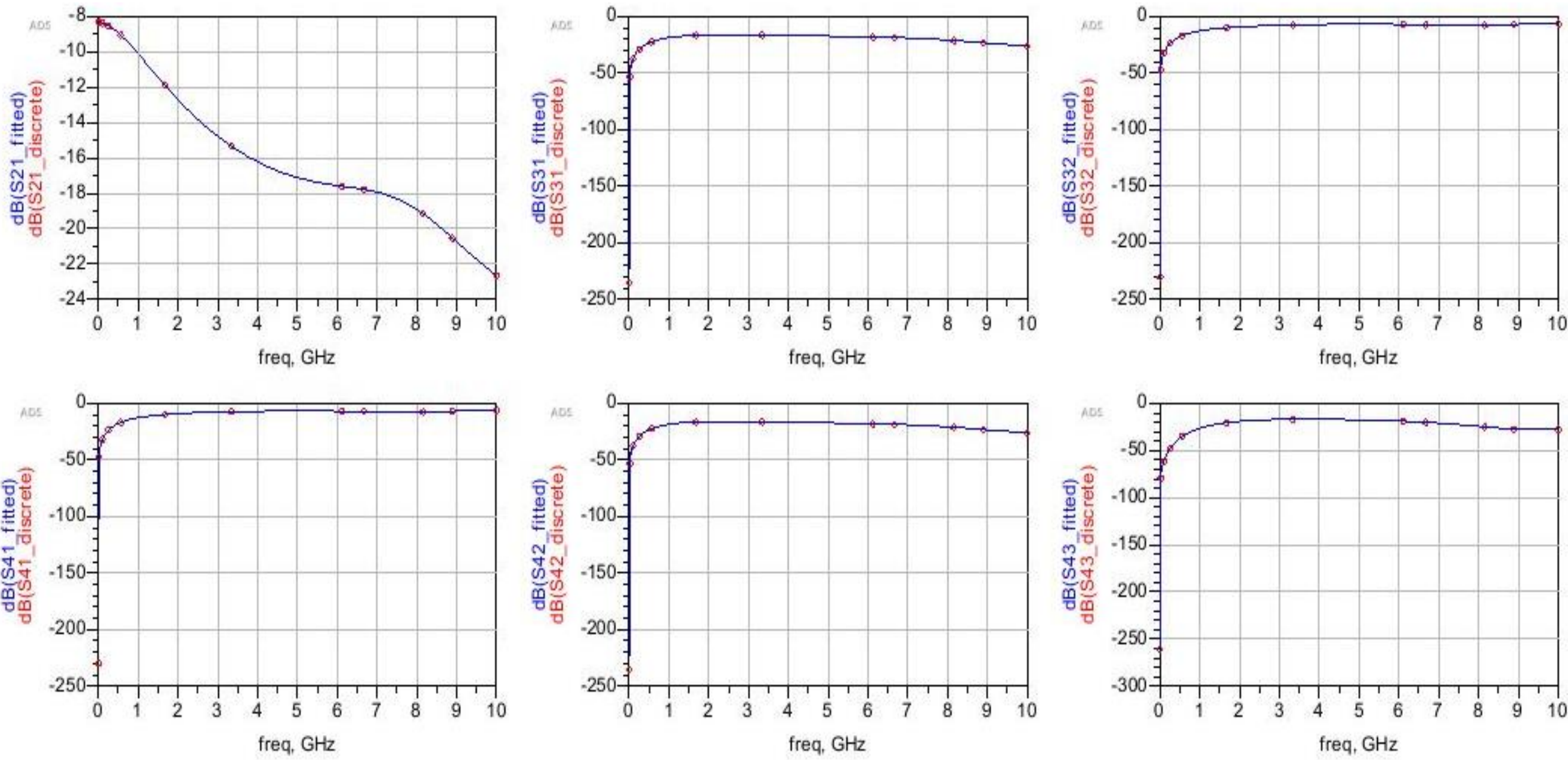
Wen-Hsiang Huang
Department of Electrical Engineering
National Chung-Hsing University

ADS模擬：

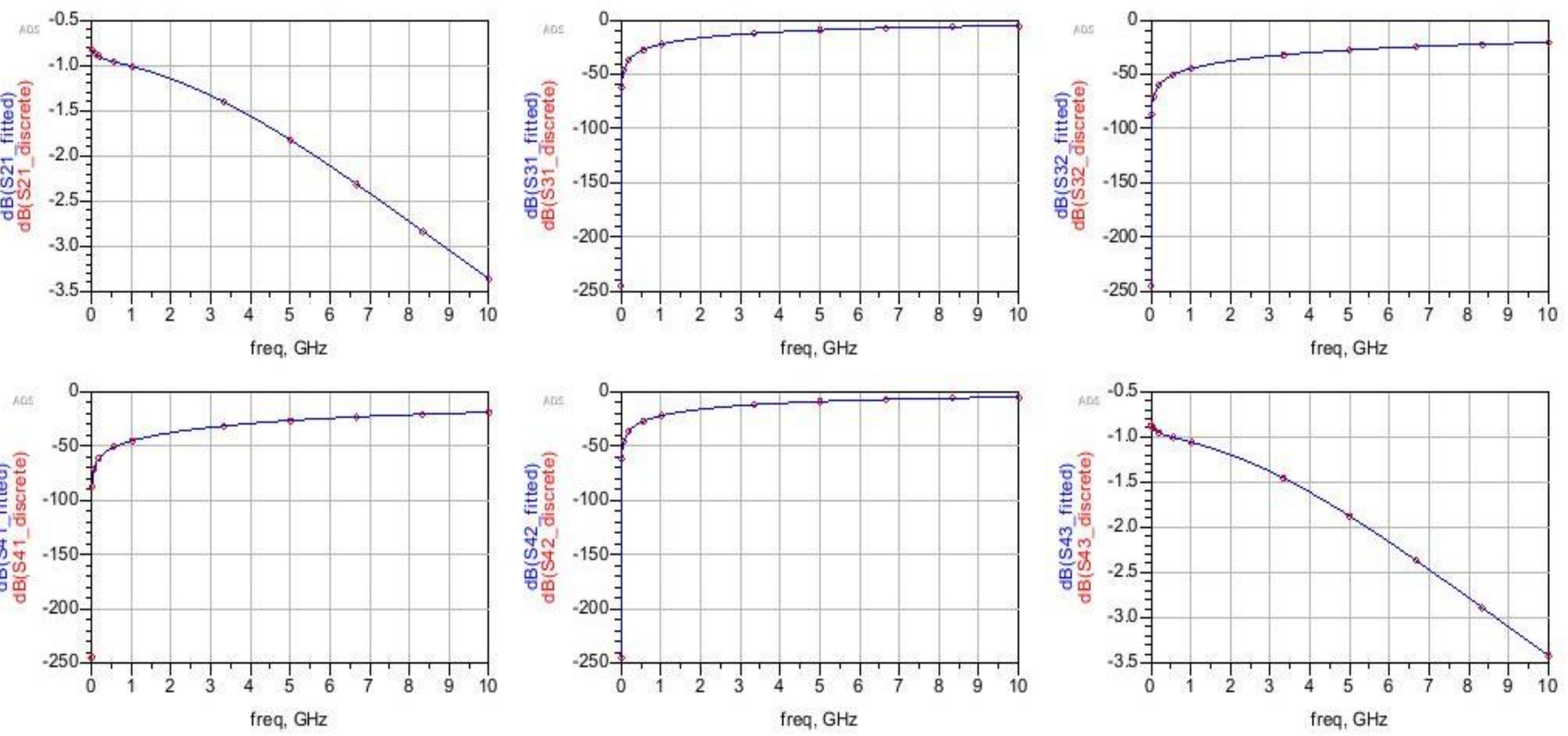
balun a:



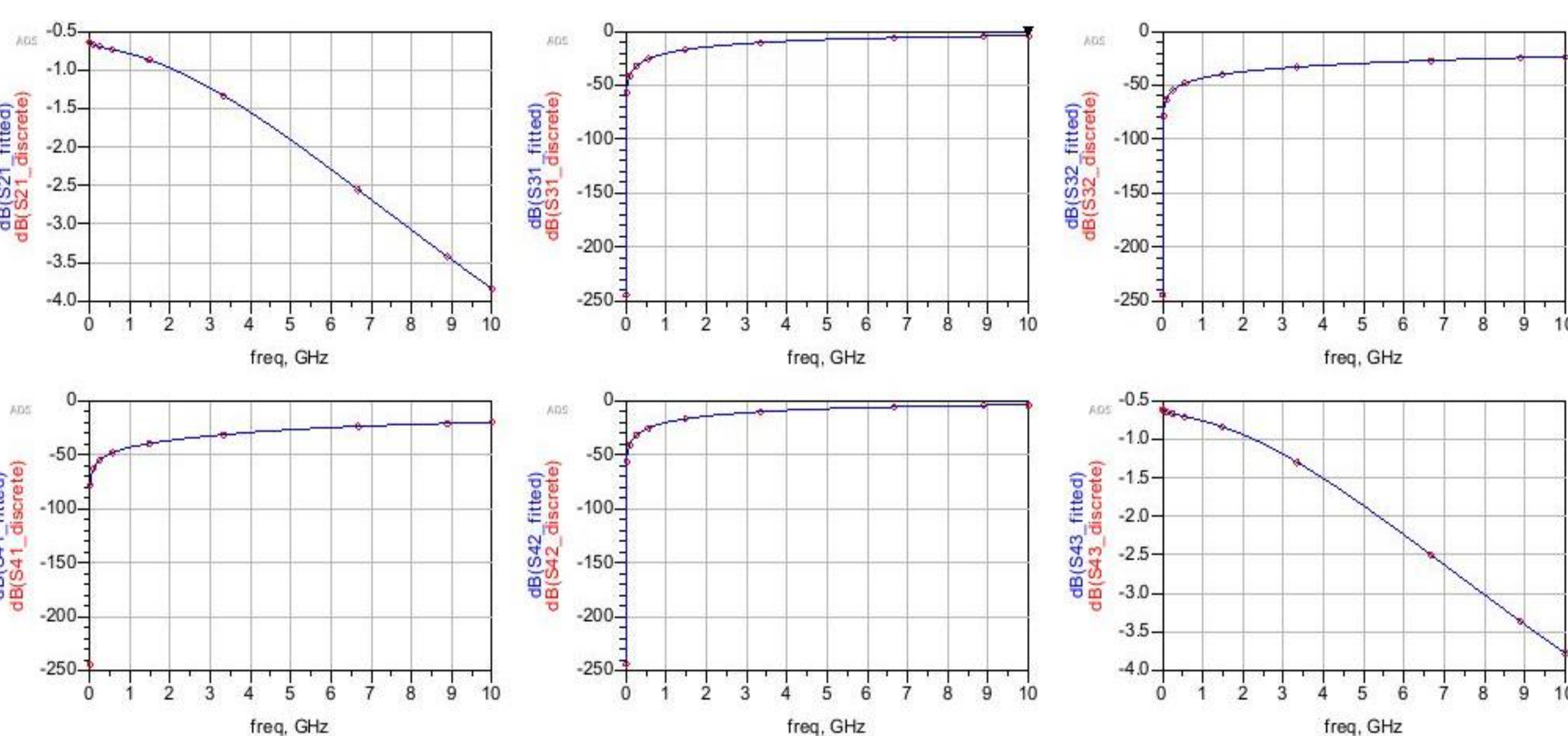
balun b:



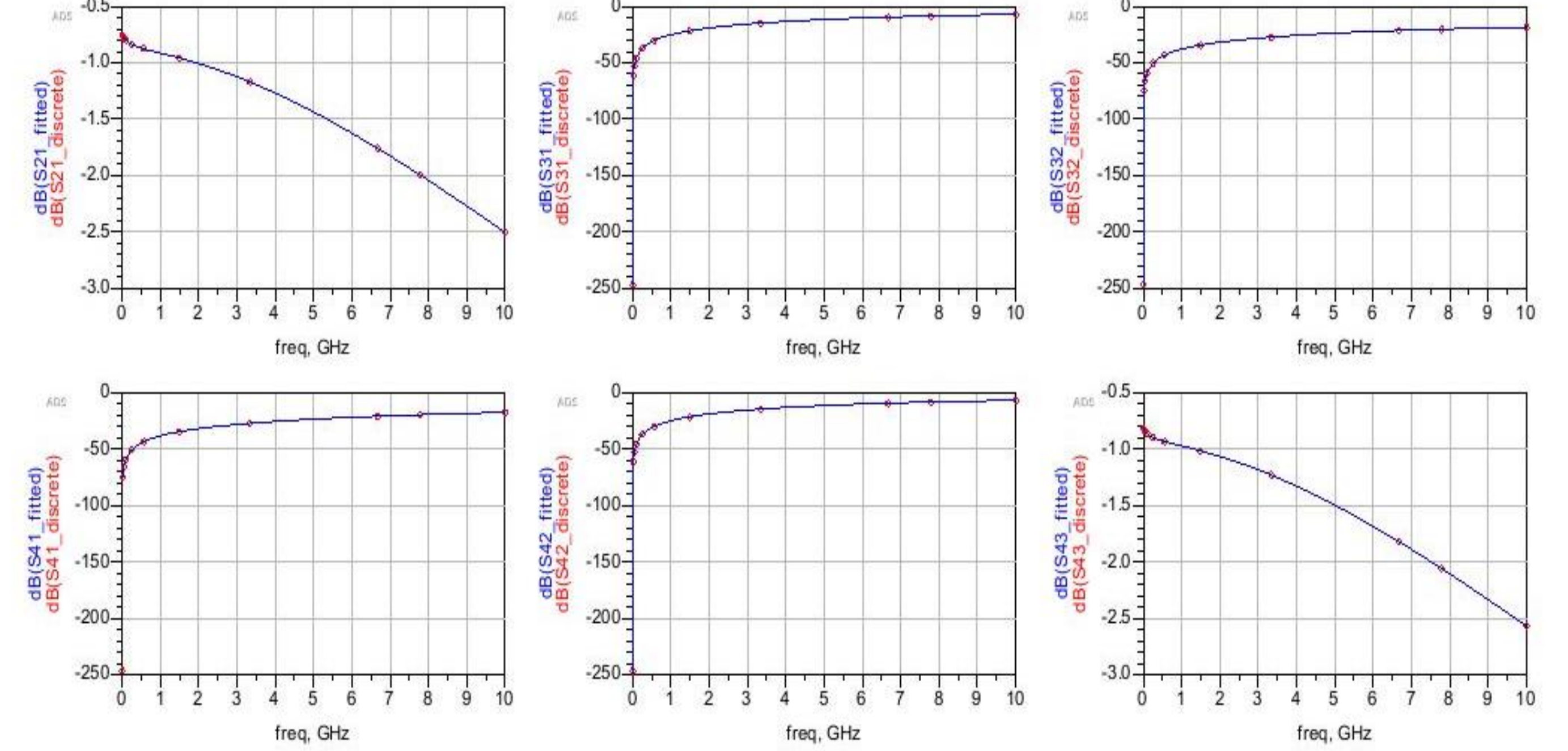
coupler a:



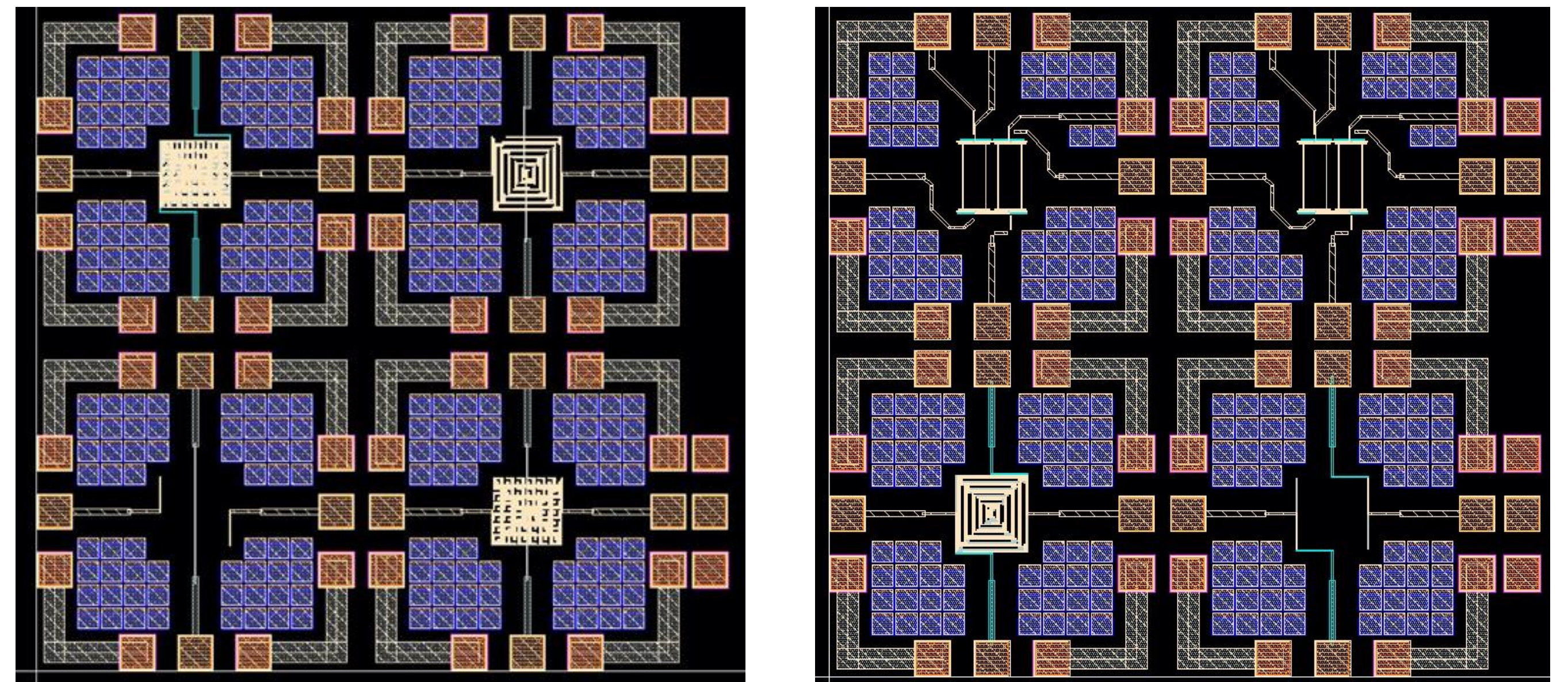
coupler b:



coupler c:



4 PORT高頻晶片下線圖：



Chip Size : 1.2(H) x 1.2(W) mm²
Transistor/Gate Count: 0 Transistors (純被動元件)
Power Dissipation : 0 mW Max.
Frequency : 0~30GHz

結論及展望

此碎形電容的研究是透過電路設計，設計出晶片中四個埠的被動元件，並應用於耦合器及Balun架構，礙於碎形圖樣的款式多元，選擇利用邊緣疊代的碎形圖樣來設計，由估算選出單位面積容值較大的三種碎形模式，經模擬結果顯示，耦合線圈中加入碎形電容元素，容易增加其互感及互耦，使得耦合量增加。下線的晶片我們更加入多層的電路設計，單層的電路設計為對照組，希望能得到更好的耦合量，待晶片測量結果出爐後做最後的分析，期望能發展碎形元件應用於高頻電路的設計。

參考文獻：

- [1] H. Samavati, A. Hajimiri, A. R. Shahani, G. N. Nasserbakht, T. H. Lee, "Fractal capacitors", *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2035 - 2041, Dec. 1998.
- [2] R. Aparicio and A. Hajimiri, "Capacity limits and matching properties of integrated capacitors", *Proceedings of the IEEE 2001 Custom Integrated Circuits Conference*.
- [3] R. Aparicio and A. Hajimiri, "Capacity limits and matching properties of integrated capacitors", *IEEE J. Solid-State Circuits*, vol. 37, no. 3, pp. 384 - 393, Mar. 2002.
- [4] C. Gimeno, S. Celma, B. Calvo, J. Revuelto, "Hilbert Curve Based Lateral Flux Capacitors", *Spanish Conference on Electron Devices*, 2009.
- [5] Tsung-Mao Chao, Chin-Chun Meng, "Lossy Planer Marchand Balun Theory", 2007.