

# FPGA 實現經典遊戲 俄羅斯方塊

## Tetris in FPGA

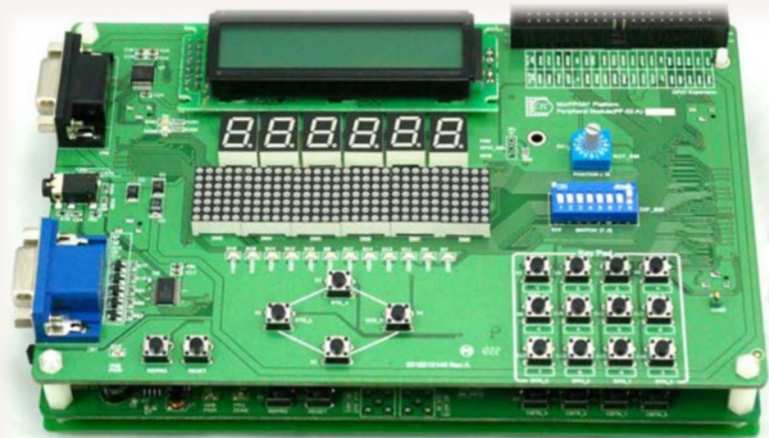
### 摘要與研究動機

在FPGA以Verilog硬體描述語言實現經典遊戲俄羅斯方塊，從中學習FPGA的設計流程與週邊模組的使用，以Keypad輸入操作遊戲與將資料儲存於Block Ram中並以VGA顯示輸出遊戲畫面。

FPGA可重複修改邏輯設計、燒錄的特性，可快速並容易地幫助設計者完成電路開發。利用此靈活的特性，及俄羅斯方塊的數學性與動態性，學習以Verilog撰寫邏輯，並合成、燒錄進FPGA中，完成電路設計開發的流程。

### 開發平台

CIC MorFPGA+

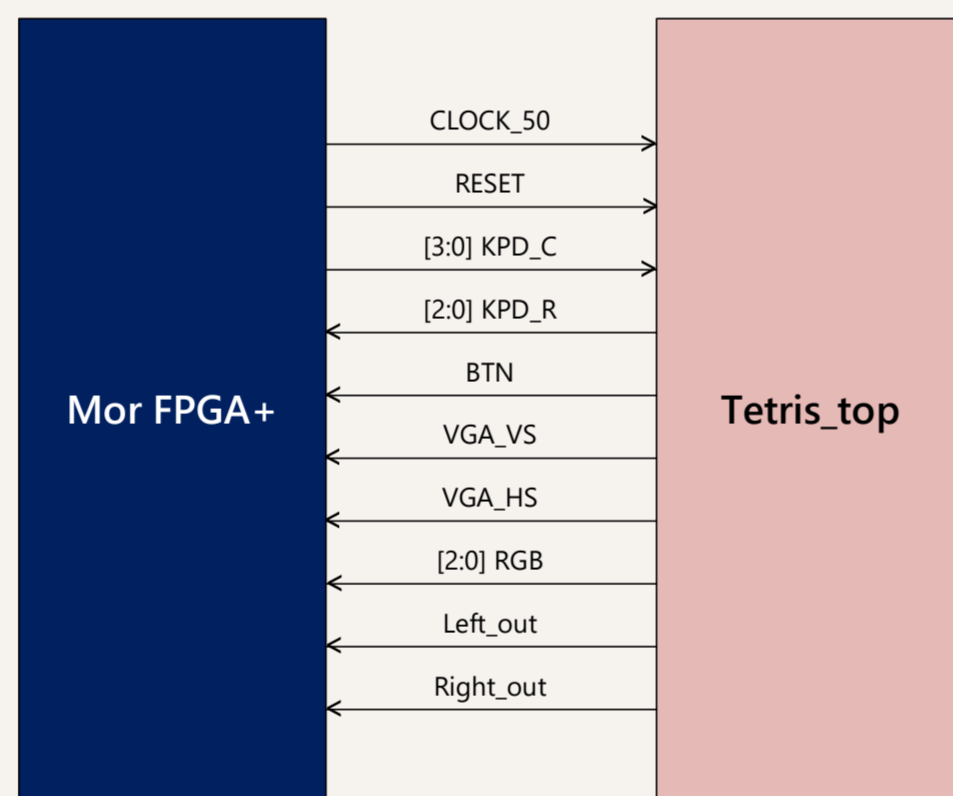


開發軟體 Xilinx ISE 14.7

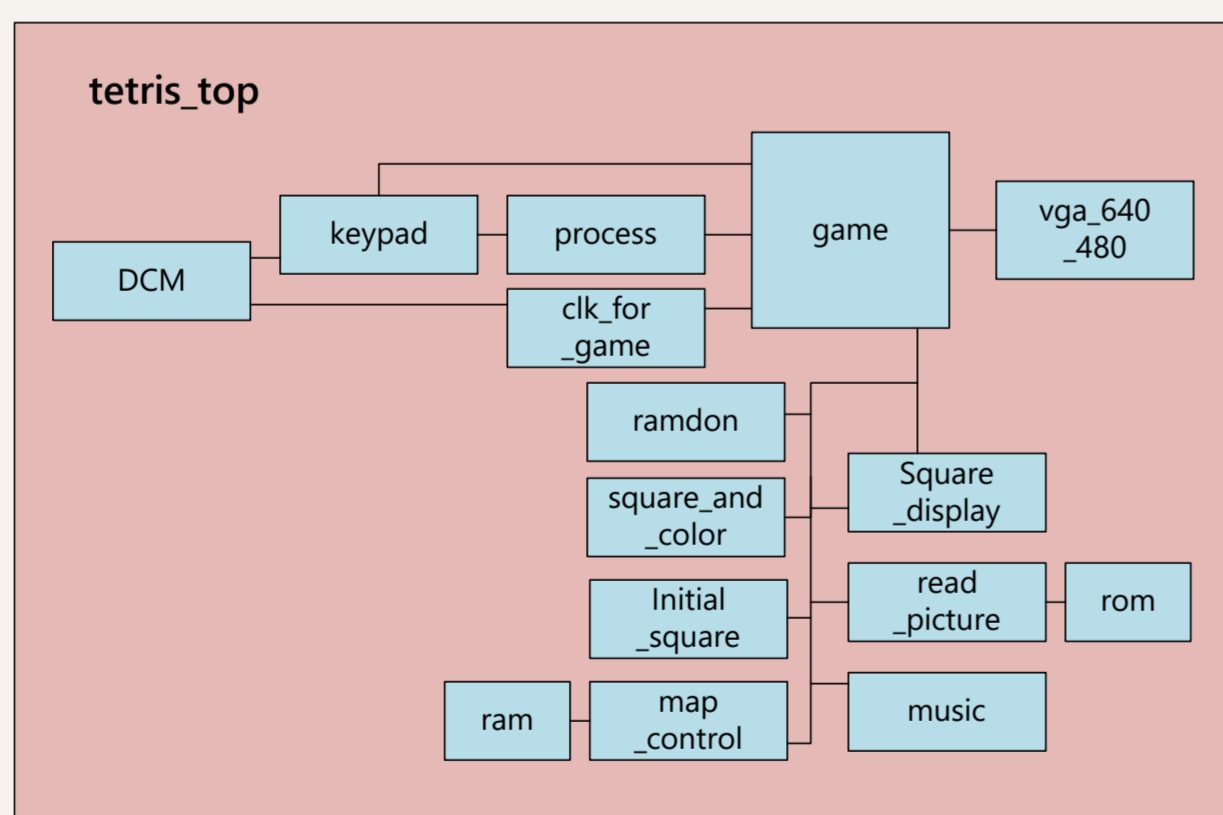
硬體語言 Verilog

### 設計構想

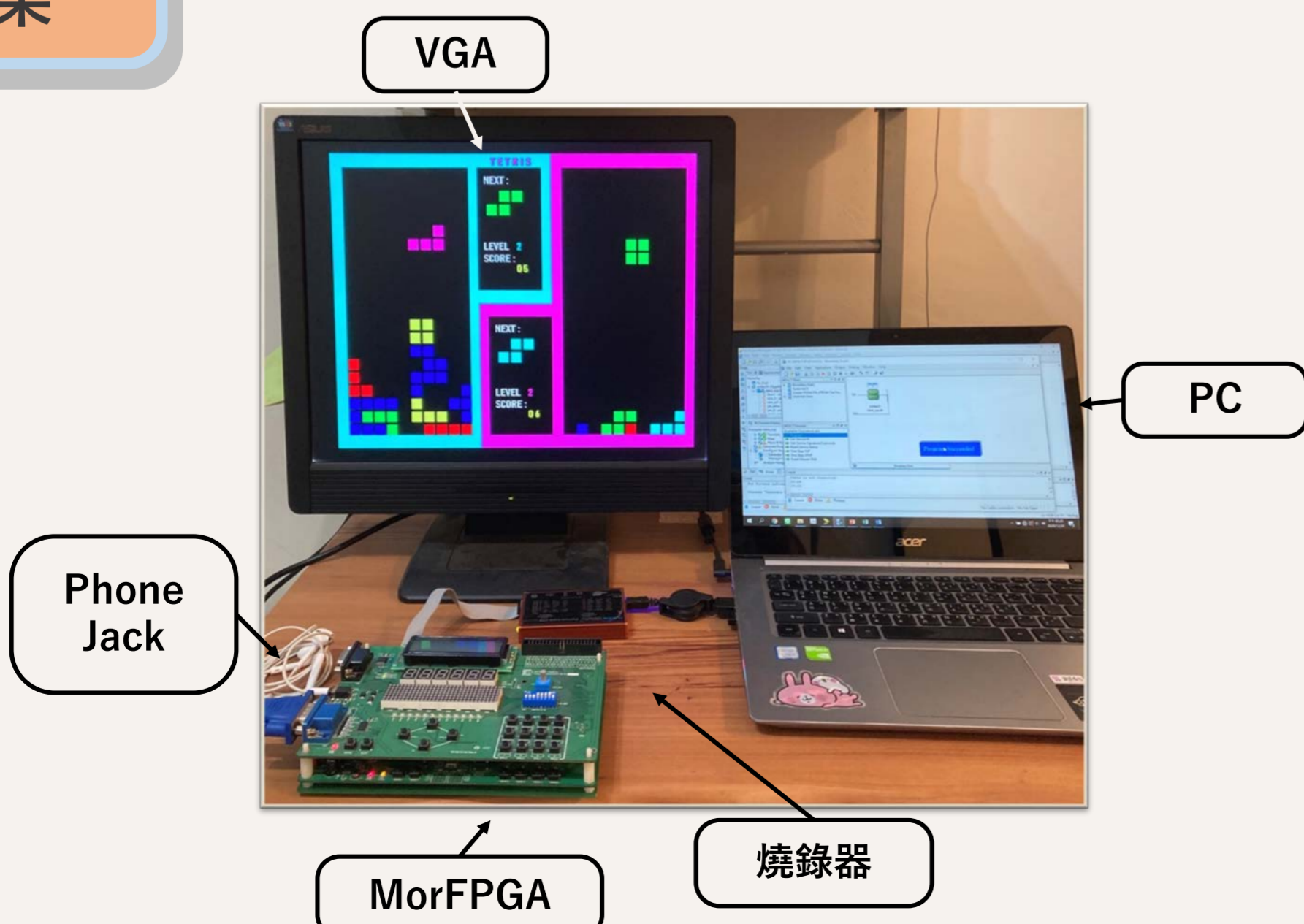
#### 系統方塊圖



#### 模組方塊圖



### 成果

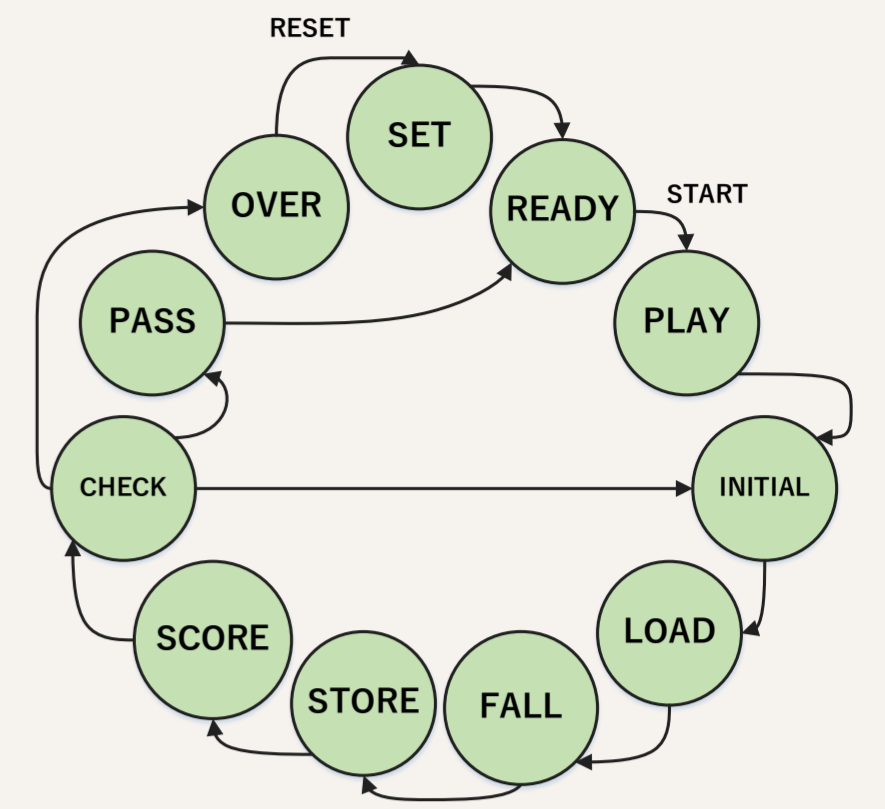


### 設計要點

#### 遊戲狀態



利用狀態機的概念控制遊戲的進行。



#### 畫面顯示



- 方塊：讀取目前的形狀，及儲存在RAM中方塊的位置與顏色，顯示一格在畫面相對位置。
- 文字：以圖片(.coe)的方式儲存在ROM，根據所需要的資訊，讀取圖片資料，作為文字顯示。

#### 資料儲存



一個方塊的資料長度為3 bits，即為其顏色的RGB訊號，遊戲畫面為10行、20列。使用一個寬3 bits、深度200的RAM，並根據方塊在畫面中的位置得到相對的位址。

#### 方塊堆疊



根據方塊的左上角的在畫面的座標來進行定位，更改座標位置即可移動方塊。方塊的可移動範圍除了不能超過左右的牆以及底部之外，還有已儲存在畫面中的方塊，藉由讀取方塊周圍位置在RAM中的資料，判斷是否可以移動來實現方塊的堆疊。

#### 雙人對戰



雙人遊玩需要兩套獨立的RAM與狀態機，但所產生的方塊順序(形狀)則是相同的。當消除方塊後，到達一定分數將升級關卡提高速度，能獲得的分數會一併提高。

#### 音樂音效



- 背景音樂：讀取已儲存的樂譜，改變輸出訊號的頻率，來產生音高。
- 音效：特定的遊戲狀態，如消除、過關。

### 效能分析

#### 操作頻率

- 與畫面顯示有關的訊號配合VGA訊號的輸出頻率為25MHz。
- 遊戲狀態的更新頻率為95Hz。

#### 消耗使用

FPGA LUTs 使用率 29%

|                              |              |        |     |
|------------------------------|--------------|--------|-----|
| Number of Slice LUTs:        | 4,419 out of | 15,032 | 29% |
| Number used as logic:        | 4,367 out of | 15,032 | 29% |
| Number using O6 output only: | 2,547        |        |     |
| Number using O5 output only: | 96           |        |     |
| Number using O5 and O6:      | 1,724        |        |     |
| Number used as ROM:          | 0            |        |     |
| Number used as Memory:       | 12 out of    | 3,664  | 1%  |