

90-nm CMOS 6GHz Voltage Controlled Oscillator and 12GHz Frequency Doubler

學生：電機四 郭雅瑄

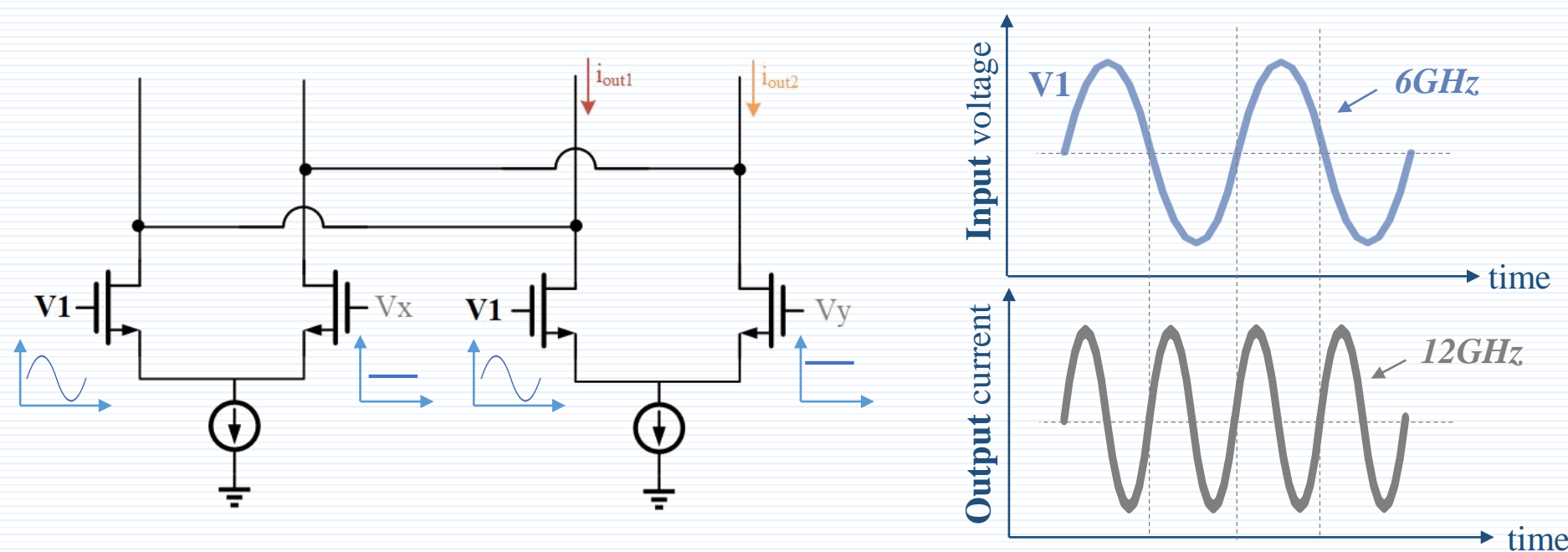
一、摘要

此專題研究使用 TSMC 90nm CMOS製程設計二倍頻電路，其功耗為3.8mW，由互補式電感電容電壓控制振盪器(LC-VCO)搭配二倍頻電路(Frequency Doubler)組成，當控制電壓操作在 0.2V-1.2V 時，此壓控振盪器可提供5.61GHz 至 6.37GHz 的頻率調諧範圍，其對應之相位雜訊在1MHz的偏移處為-114 dBc/Hz。而二倍頻電路的頻率調諧範圍為 11.24GHz-12.7GHz，其輸出端對於基本頻雜訊的抑制可達75dB以上。

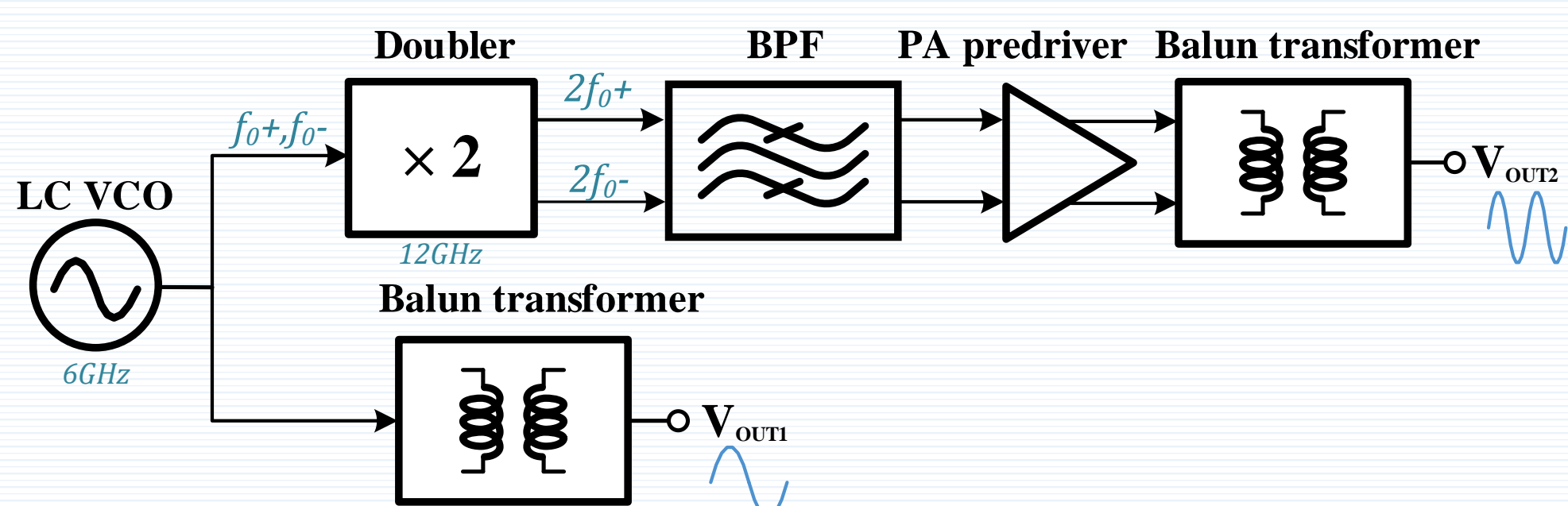
二、設計原理

LC-VCO：此設計使用LC-VCO輸出作為基本頻訊號，電容並聯電感會在頻率 $\omega = \sqrt{\frac{1}{LC}}$ 下共振，在此頻率下電感與電容的阻抗值相等但相位相反，理想狀況下會生成無限大的阻抗。但實際上訊號會衰減而無法維持振盪，故利用主動元件組成的放大電路提供負電阻，來抵消電感及電容共振內部的阻抗，以得到振盪訊號。

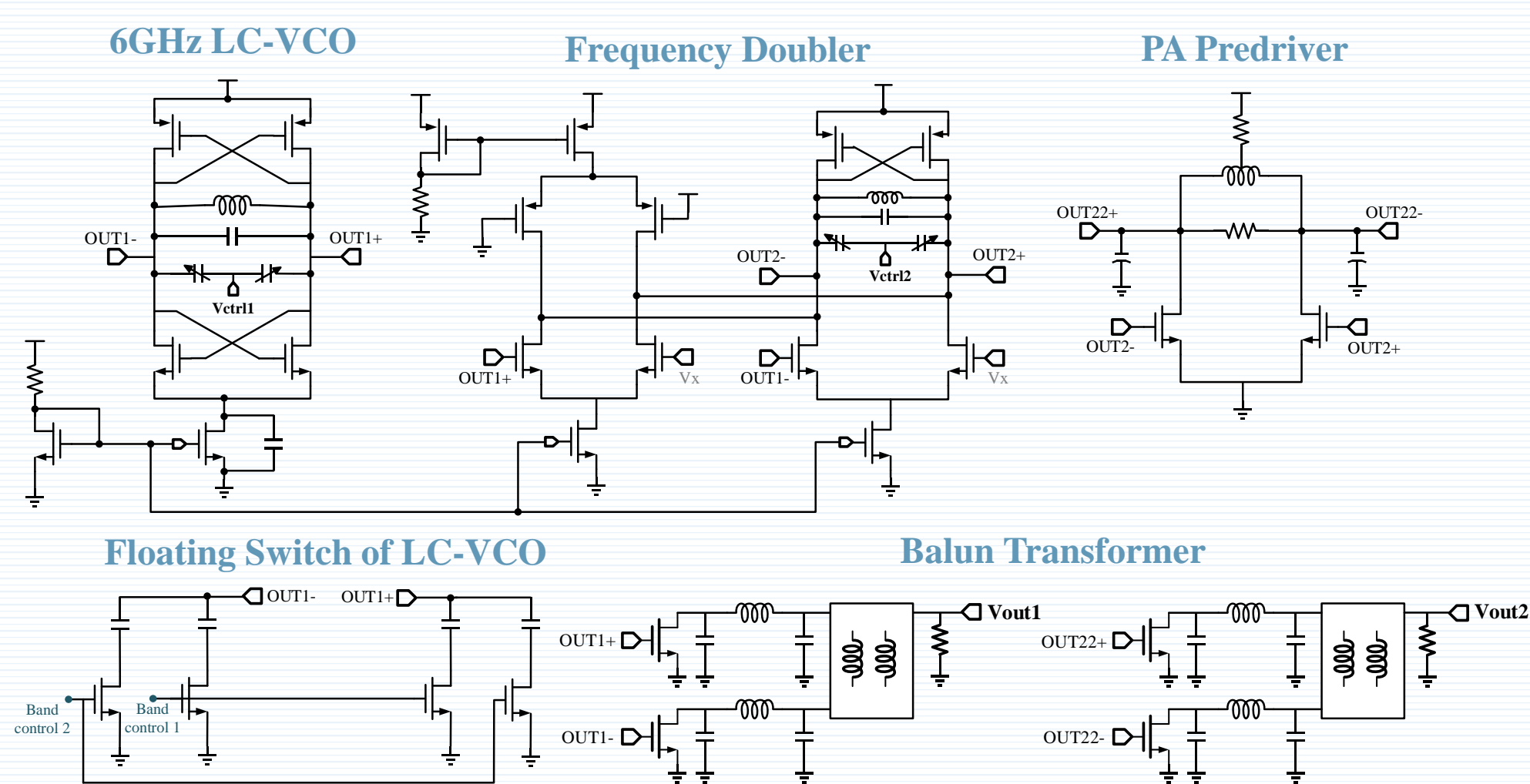
Doubler：差動對電路一端輸入6GHz弦波（使用VCO輸出端電壓），另一端為直流電壓，使兩端進行電壓準位比較，不同的電壓組合會在倍頻電路中產生對應的電流輸出轉折，進而得到所需的12GHz輸出。



三、電路架構設計

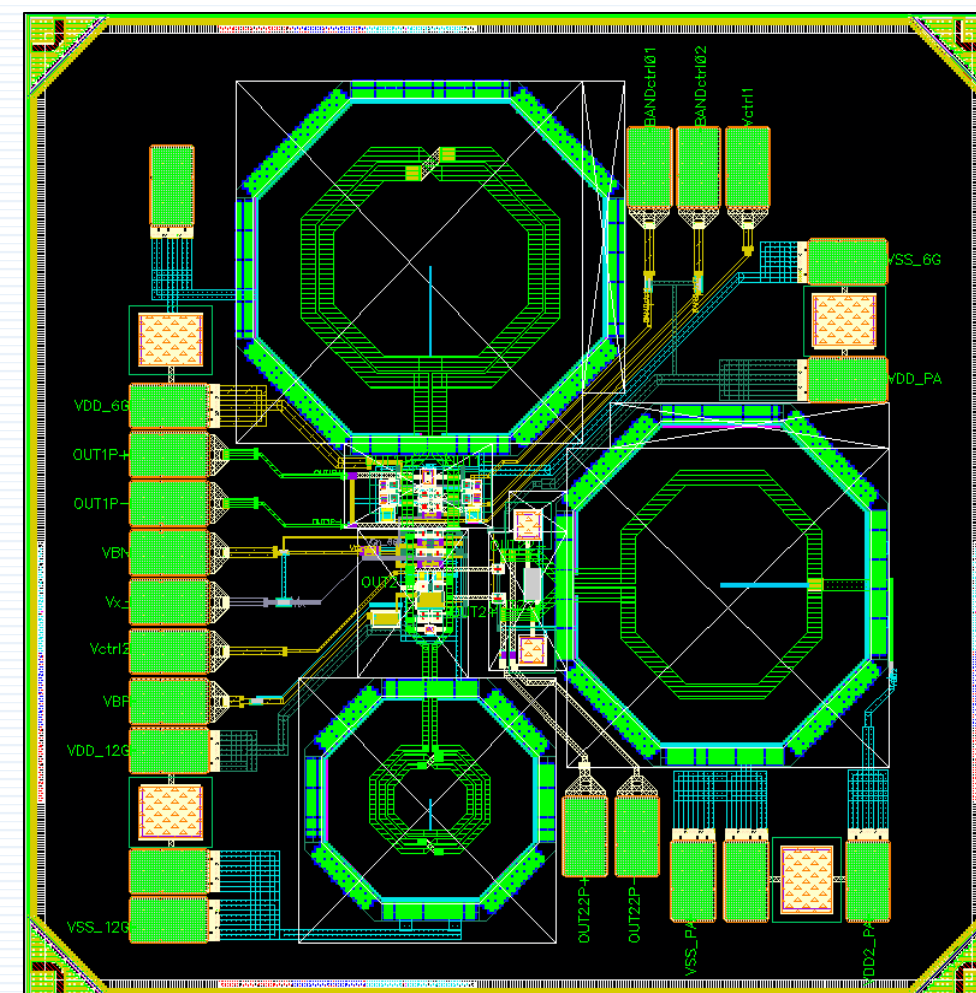


▲圖 3.1 二倍頻電路架構示意圖

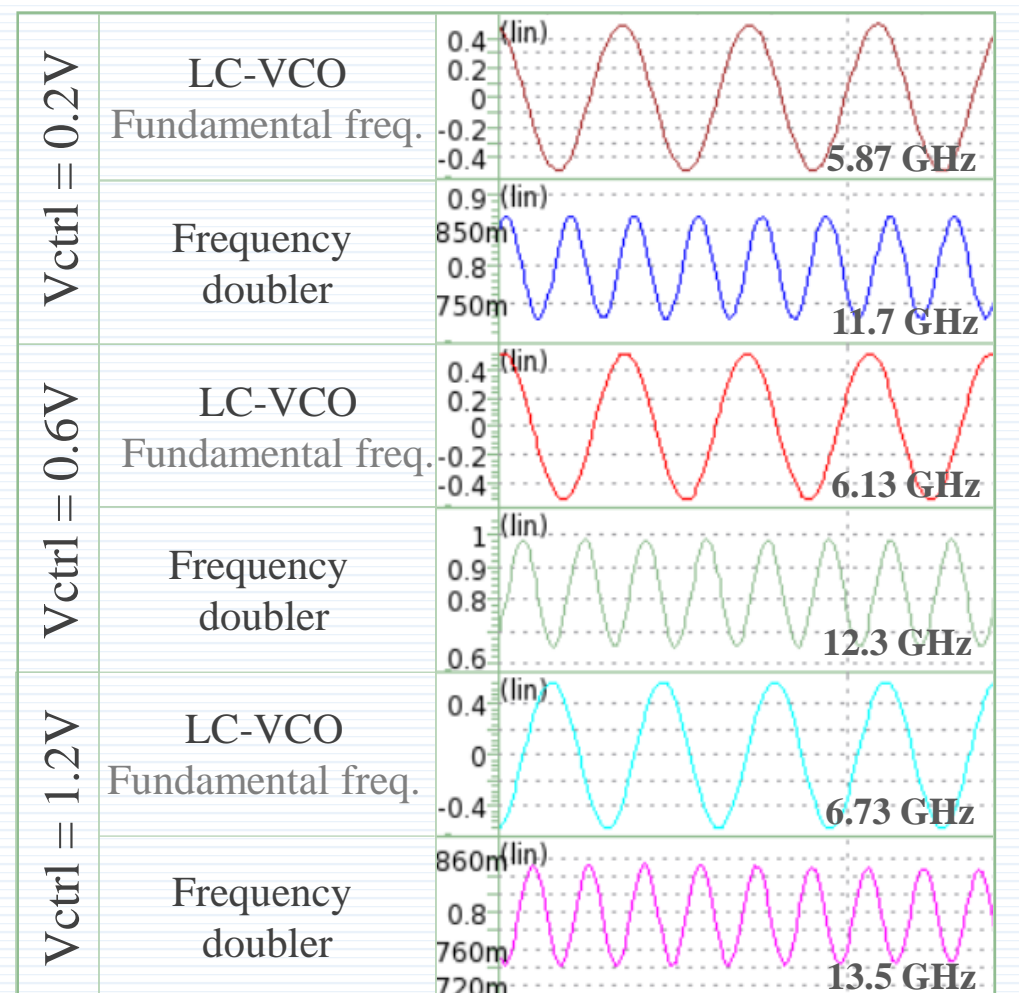


▲圖 3.2 二倍頻電路完整設計圖 (Schematic)

四、Layout and Waveform

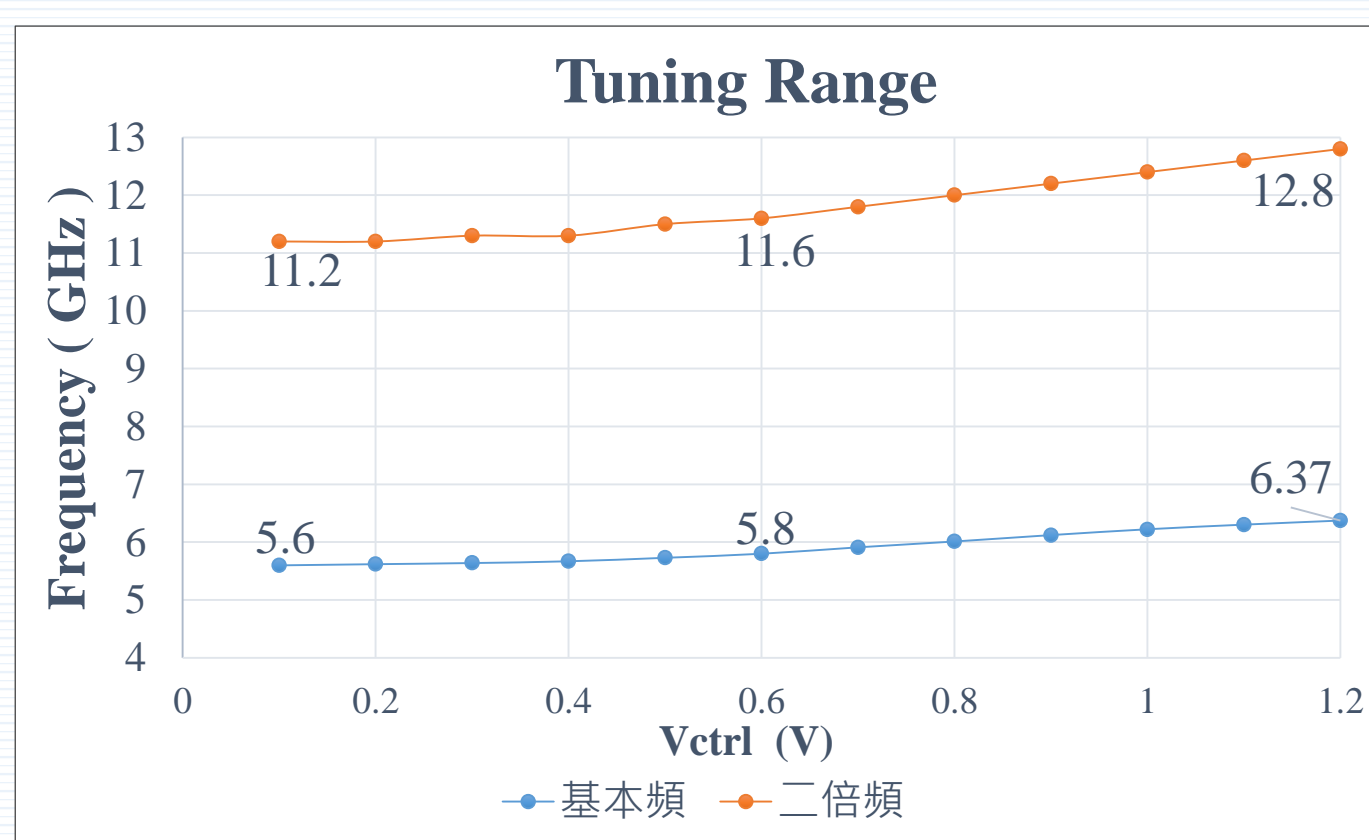


▲圖 4.1 電路佈局圖

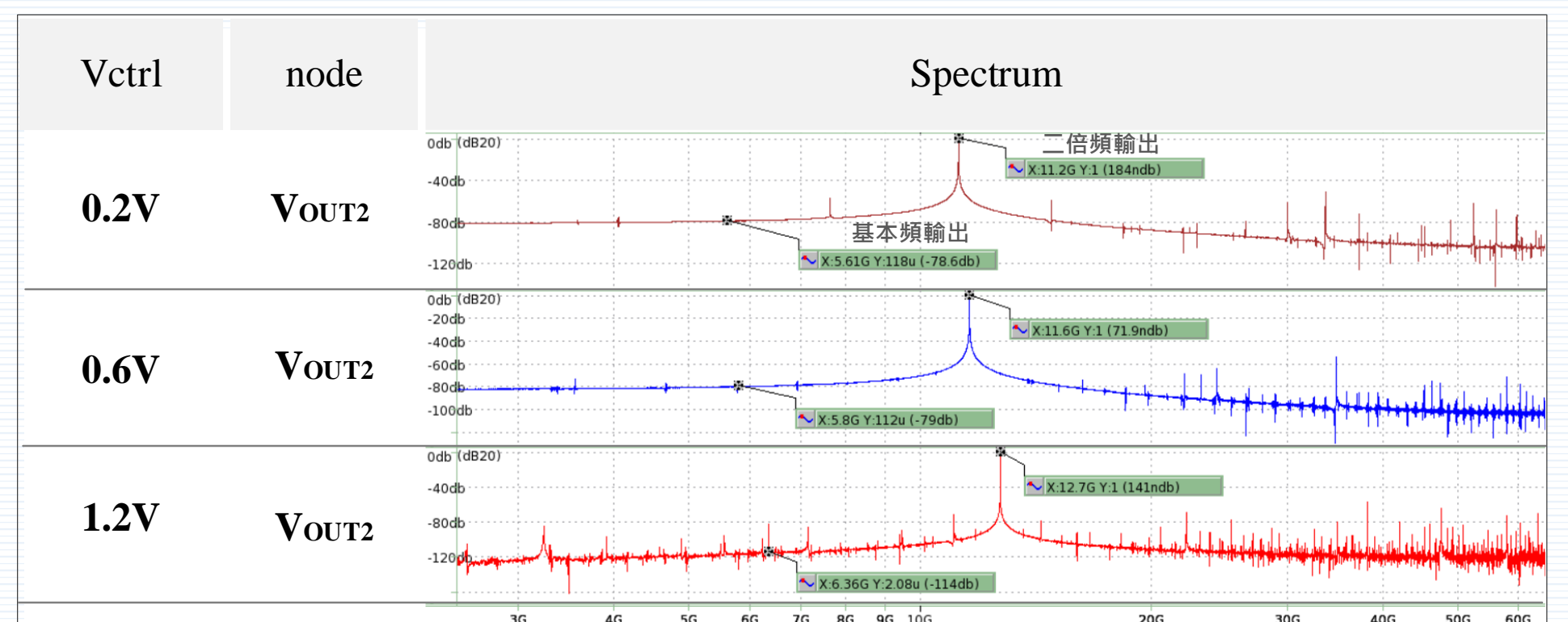


▲圖 4.2 Post - Simulation 結果

五、模擬結果分析



▲圖 5.1 當Corner=TT、Switch=01時，控制電壓 V_{ctrl} 對應之基本頻與二倍頻輸出頻率，驗證倍頻電路功能無誤。



▲圖 5.2 當 $V_{ctrl} = 0.2、0.6、1.2V$ 時，輸出端之基本頻與二倍頻頻譜分析圖

六、效能比較表

► 效能優勢：二倍頻電路其輸出端對於基本頻雜訊抑制可達75dB以上

	This work	[8]	[9]	[10]	[11]
Technology	90nm CMOS	65-nm CMOS	GaAs	0.25- μ m SiGe BiCMOS	65 nm CMOS
Type	LC VCO + doubler	doubler	doubler	doubler	doubler
Power Supply (V)	1.2	1.2	N/A	N/A	1.2
P_{DC} (mW)	10.5	31	N/A	7.9	36.72
Tuning range (GHz)	11.2-12.8	21.9-25	12-26	22-29	19.84-23.6
Fundamental Suppression (dB)	> 75	44	40	39-60	N/A

Reference :

- [8] "Truly Balanced K-Band Push-Push Frequency Doubler", Soenke Vehring#1, Georg Boeck#2
- [9] "A 12 - 26 GHz Frequency Doubler GaAs MMIC", Nikolai B. Drobotun 1, Alexey V. Drozdov
- [10] "A Low DC Power High Conversion Gain Frequency Doubler IC for 22-29GHz UWB Applications", Jiangtao SUN #1, Qing LIU #1, Yong-Ju SUH #1, Takayuki SHIBATA *2, Toshihiko YOSHIMASU #1
- [11] "A Low Power, High Conversion gain CMOS Inductorless Frequency Doubler for 1.25 - 20 GHz Frequency Synthesis in mm-wave Receivers", Javed S Gaggatur*, Pratik Deshmukh†